

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

INVENTOR(S): Yoko SATO

APPLICANT: Seiko Epson Corporation

U.S.S.N.: Not Yet Assigned

ART UNIT: Not Yet Assigned

FILED: HERewith

EXAMINER: Not Yet Assigned

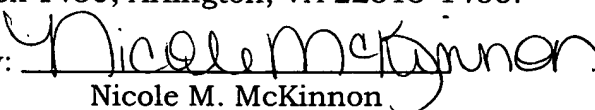
FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

\*\*\*\*\*

**CERTIFICATE OF EXPRESS MAILING (Label No.: EV 438989775 US)**

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. section 1.10, on February 26, 2004 and is addressed to Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Arlington, VA 22313-1450.

By:

  
Nicole M. McKinnon

\*\*\*\*\*

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Arlington, VA 22313-1450

**TRANSMITTAL OF CERTIFIED COPIES**

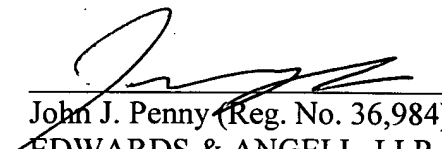
Sir:

Attached please find two certified copies of the foreign application from which priority is claimed for this case:

Country: JAPAN  
Application No.: 2003-051118  
Filing Date: 27 February 2003

Respectfully submitted,

Date: February 26, 2004  
Customer No.: 21874

  
John J. Penny (Reg. No. 36,984)  
EDWARDS & ANGELL, LLP  
P.O. Box 55874  
Boston, MA 02205  
Tel: (617) 517-5549  
Fax (617) 439-4170

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   2 月 2 7 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 0 5 1 1 1 8  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 5 1 1 1 8 ]

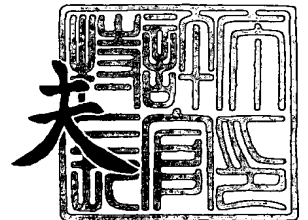
出   願   人            セイコーエプソン株式会社  
Applicant(s):



2 0 0 3 年 1 0 月 2 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 EP-0428201

【提出日】 平成15年 2月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/04

【発明者】

    【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

    【氏名】 佐藤 陽子

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100090479

    【弁理士】

    【氏名又は名称】 井上 一

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090387

    【弁理士】

    【氏名又は名称】 布施 行夫

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090398

    【弁理士】

    【氏名又は名称】 大淵 美千栄

    【電話番号】 03-5397-0891

**【手数料の表示】****【予納台帳番号】** 039491**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9402500**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 支持基板と、  
前記支持基板上に形成された絶縁層と、  
前記絶縁層上に形成された第 1 半導体層と、  
前記第 1 半導体層内に形成された第 1 高耐圧トランジスタと、  
前記絶縁層上に形成された第 2 半導体層と、  
前記第 2 半導体層内に形成された第 2 高耐圧トランジスタと、  
前記第 1 半導体層と前記第 2 半導体層との間に設けられた第 1 素子分離領域であって、前記絶縁層に到達する深さを有する第 1 素子分離領域と、  
前記絶縁層上に形成された第 3 半導体層と、  
前記第 3 半導体層内に形成された第 1 低耐圧トランジスタと、  
前記第 3 半導体層内に形成された第 2 低耐圧トランジスタと、  
前記第 3 半導体層内に形成され、かつ、前記第 1 低耐圧トランジスタと前記第 2 低耐圧トランジスタとの間に設けられた第 2 素子分離領域であって、前記絶縁層に到達しない深さを有する第 2 素子分離領域と、  
を含む、半導体装置。

【請求項 2】 請求項 1 において、  
前記第 2 半導体層と、前記第 3 半導体層との間に設けられた第 3 素子分離領域であって、前記絶縁層に到達する深さを有する第 3 素子分離領域と、をさらに含む、半導体装置。

【請求項 3】 請求項 1 または 2 において、  
前記第 1 半導体層と前記第 2 半導体層と前記第 3 半導体層とは、各半導体層の厚さが等しい、半導体装置。

【請求項 4】 請求項 1～3 のいずれかにおいて、  
前記第 1 半導体層と前記第 2 半導体層と前記第 3 半導体層との厚さは、500～2000 nm である、半導体装置。

【請求項 5】 請求項 1～4 のいずれかにおいて、

前記第 1 半導体層と前記第 2 半導体層と前記第 3 半導体層とは、各半導体層の表面が同一レベルである、半導体装置。

【請求項 6】 請求項 1～5 のいずれかにおいて、

前記第 1 および第 2 高耐圧トランジスタは、  
チャネル領域の上方に形成された第 1 ゲート絶縁層と、  
オフセット領域の上方に形成された第 2 ゲート絶縁層と、をさらに含み、  
前記第 2 ゲート絶縁層の膜厚は前記第 1 ゲート絶縁層の膜厚に比べ大きい、半導体装置。

【請求項 7】 支持基板と絶縁層と半導体層とが順に形成された基板を準備する工程と、

前記半導体層内に、前記絶縁層に到達する深さを有する第 1 素子分離領域および第 3 素子分離領域を形成することにより、第 1 半導体層、第 2 半導体層および第 3 半導体層を形成する工程と、

前記第 3 半導体層に前記絶縁層に到達しない深さを有する第 2 素子分離領域を形成する工程と、

前記第 1 半導体層内に第 1 高耐圧トランジスタを形成する工程と、  
前記第 2 半導体層内に第 2 高耐圧トランジスタを形成する工程と、  
前記第 3 半導体層内に、第 1 低耐圧トランジスタを形成する工程と、  
前記第 3 半導体層内において、前記第 1 低耐圧トランジスタと前記第 2 素子分離領域を介して隣り合う第 2 低耐圧トランジスタを形成する工程と、を含む、半導体装置の製造方法。

【請求項 8】 請求項 7 において、

前記第 1 および第 2 高耐圧トランジスタを形成する工程は、  
オフセット領域の上方にオフセット絶縁層を形成する工程と、  
少なくともチャネル領域および前記オフセット領域の上方に第 1 ゲート絶縁層を形成する工程と、を含み、

前記オフセット領域の上方には、前記オフセット絶縁層と前記第 1 ゲート絶縁層とが積層された第 2 ゲート絶縁層が形成される、半導体装置の製造方法。

【請求項 9】 請求項 8 において、

前記オフセット絶縁層の形成は、前記第 2 素子分離領域の形成と同一の工程を行なわれる、半導体装置の製造方法。

【請求項 10】 請求項 7～9 のいずれかにおいて、

前記第 2 素子分離領域は、トレンチ素子分離法により形成される、半導体装置の製造方法。

【請求項 11】 請求項 7～9 のいずれかにおいて、

前記第 2 素子分離領域は、LOCOS 法により形成される、半導体装置の製造方法。

【請求項 12】 請求項 7～9 のいずれかにおいて、

前記第 2 素子分離領域は、セミリセス LOCOS 法により形成される、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ドレイン耐圧の異なる MOS トランジスタ (Metal Oxide Semiconductor) を、同一の SOI (Silicon On Insulator) 基板上に備える半導体装置およびその製造方法に関する。

【0002】

【背景技術】

近年、携帯用電子機器の軽量化・小型化が進み、該電子機器に搭載される IC の縮小化は必須である。特に、液晶表示装置を搭載した電子機器では、その駆動用 IC に対し、低電圧動作の低耐圧トランジスタと、高電圧動作の高耐圧トランジスタとを同一基板 (同一チップ) に混載し、IC のチップ面積を縮小化する技術が強く望まれている。

【0003】

しかしながら、高耐圧トランジスタは、十分な耐圧を確保するために、トランジスタ形成領域の面積を縮小することができない。従って、低耐圧トランジスタの微細化がどんなに図られても、駆動用 IC のチップ面積を大幅に縮小すること

はできなかった。

【0004】

また、高耐圧トランジスタと低耐圧トランジスタと、を同一のSOI基板上に形成する場合、SOI基板に特有の基板浮遊効果などを回避するために、SOI基板に適したトランジスタとなるようにその構造を変更する必要がある、バルクのシリコン基板上にトランジスタを形成する際に得られた設計資産を活用できなかった。

【0005】

【特許文献1】

特開2001-250921号公報

【特許文献2】

特開2001-7219号公報

【0006】

【発明が解決しようとする課題】

本発明の目的は、高耐圧トランジスタと、低耐圧トランジスタとを同一基板に備える半導体装置であって、特に高耐圧トランジスタ領域の面積の削減を図り、半導体装置の全体の小型化を実現し、かつ、低耐圧トランジスタ領域においては基板浮遊効果などのSOI基板特有の効果を排除し、従来の設計資産を活用できる半導体装置およびその製造方法を提供することにある。

【0007】

【課題を解決するための手段】

本発明の半導体装置は、  
支持基板と、  
前記支持基板上に形成された絶縁層と、  
前記絶縁層上に形成された第1半導体層と、  
前記第1半導体層内に形成された第1高耐圧トランジスタと、  
前記絶縁層上に形成された第2半導体層と、  
前記第2半導体層内に形成された第2高耐圧トランジスタと、  
前記第1半導体層と前記第2半導体層との間に設けられた第1素子分離領域で



あって、前記絶縁層に到達する深さを有する第1素子分離領域と、  
前記絶縁層上に形成された第3半導体層と、  
前記第3半導体層内に形成された第1低耐圧トランジスタと、  
前記第3半導体層内に形成された第2低耐圧トランジスタと、  
前記第3半導体層内に形成され、かつ、前記第1低耐圧トランジスタと前記第2低耐圧トランジスタとの間に設けられた第2素子分離領域であって、前記絶縁層に到達しない深さを有する第2素子分離領域と、  
を含む。

#### 【0008】

本発明によれば、高耐圧トランジスタは、絶縁層に到達する深さを有する第1の素子分離領域に囲まれた領域に形成されている。そのため、耐圧を確保するために必要としていた広い素子分離領域が不必要となる。また、素子分離領域が絶縁層に到達するために、素子分離領域の下部に形成されることがあった寄生トランジスタの発生を抑制することができる。さらに、高濃度拡散層によるガードリングを設ける必要がなくなるため、高耐圧トランジスタ領域の面積を削減できる。また、低耐圧トランジスタは、絶縁層に到達しない深さを有する第2の素子分離領域に囲まれた領域に形成されており、SOI基板を使用することによる基板浮遊などの問題を排除することができる。その結果、高耐圧トランジスタと、低耐圧トランジスタとを同一基板に形成する場合においても、半導体装置の小型化を図ることができる。さらには、低耐圧トランジスタでは、従来の設計資産の活用を図ることができる。

#### 【0009】

本発明の半導体装置の製造方法は、  
支持基板と絶縁層と半導体層とが順に形成された基板を準備する工程と、  
前記半導体層内に、前記絶縁層に到達する深さを有する第1素子分離領域および第3素子分離領域を形成することにより、第1半導体層、第2半導体層および第3半導体層を形成する工程と、  
前記第3半導体層に前記絶縁層に到達しない深さを有する第2素子分離領域を形成する工程と、

前記第 1 半導体層内に第 1 高耐圧トランジスタを形成する工程と、  
前記第 2 半導体層内に第 2 高耐圧トランジスタを形成する工程と、  
前記第 3 半導体層内に、第 1 低耐圧トランジスタを形成する工程と、  
前記第 3 半導体層内において、前記第 1 低耐圧トランジスタと前記第 2 素子分離領域を介して隣り合う第 2 低耐圧トランジスタを形成する工程と、を含む。

#### 【0010】

本発明の半導体装置の製造方法によれば、高耐圧トランジスタと、低耐圧トランジスタとは、膜厚の等しい半導体層に形成される。低耐圧トランジスタは、前記絶縁層に到達しない深さを有する第 2 の素子分離領域に囲まれた領域に形成されるため、低耐圧トランジスタは基板浮遊効果などの SOI 基板特有の効果を排除し、従来の設計資産を活用することができる。また、高耐圧トランジスタを第 1 の素子分離領域により分離された半導体層に形成することができるため、素子分離領域の下部に形成されることがあった寄生トランジスタの発生を抑制した半導体装置を製造することができる。

#### 【0011】

##### 【発明の実施の形態】

次に、本発明の実施の形態の一例について説明する。

#### 【0012】

##### 1. 半導体装置

図 1 は、本実施の形態の半導体装置を模式的に示す断面図である。本実施の形態の半導体装置は、支持基板 10a の上に、絶縁層 10b、半導体層 10c が順に積層された SOI 基板 10 を有する。半導体層 10c は、単結晶シリコン層である。SOI 基板 10 内には、高耐圧トランジスタ領域 10HV と、低耐圧トランジスタ領域 10LV とが設けられている。高耐圧トランジスタ領域 10HV は、P チャネル高耐圧トランジスタ領域 10HVp と、N チャネル高耐圧トランジスタ領域 10HVn とを有する。低耐圧トランジスタ領域 10LV は、P チャネル低耐圧トランジスタ領域 10LVp と、N チャネル低耐圧トランジスタ領域 10LVn とを有する。P チャネル高耐圧トランジスタ領域 10HVp には、P チャネル高耐圧トランジスタ 100P が形成され、N チャネル高耐圧トランジスタ

領域 10HV<sub>n</sub>には、Nチャネル高耐圧トランジスタ 100Nが形成されている。同様に、Pチャネル低耐圧トランジスタ領域 10LV<sub>p</sub>には、Pチャネル低耐圧トランジスタ 200Pが形成され、Nチャネル低耐圧トランジスタ領域 10LV<sub>n</sub>には、Nチャネル低耐圧トランジスタ 200Nが形成されている。

#### 【0013】

すなわち、同一基板（同一チップ）上に、Pチャネル高耐圧トランジスタ 100PとNチャネル高耐圧トランジスタ 100NとPチャネル低耐圧トランジスタ 200PとNチャネル低耐圧トランジスタ 200Nとが混載されている。尚、図 1には4つのトランジスタしか記載されていないが、これは便宜的なものであって、同一基板上に各種類のトランジスタが複数形成されていることはいうまでもない。

#### 【0014】

また、各トランジスタが形成される領域において、半導体層 10cの厚みは等しい。従って、半導体層 10cは、厚みが一様な支持基板 10aと厚みが一様な絶縁層 10bとの上方に形成されているため、各トランジスタ形成領域の半導体層 10cの表面は同一レベルとなる。

#### 【0015】

##### 1. 1 高耐圧トランジスタ領域

まず、高耐圧トランジスタ領域 10HVについて説明する。高耐圧トランジスタ領域 10HVと、低耐圧トランジスタ領域 10LVとの境界には、絶縁層 10bに到達する深さの第1および第3の素子分離領域 110a, bが形成される。すなわち、第3の素子分離領域 110bは、高耐圧トランジスタ領域 10HVと、低耐圧トランジスタ領域 10LVとを分離する。結果的に、高耐圧トランジスタ領域 10HVは、絶縁層 10bに到達する深さの第3の素子分離領域 110bに囲まれる。

#### 【0016】

高耐圧トランジスタ領域 10HVには、Pチャネル高耐圧トランジスタ領域 10HV<sub>p</sub>と、Nチャネル高耐圧トランジスタ領域 10HV<sub>n</sub>とが設けられる。隣り合う高耐圧トランジスタ領域の間には、絶縁層 10bに到達する深さの第1お

よび第3の素子分離領域110a, 110bが設けられている。すなわち、隣り合うPチャネル高耐圧トランジスタ100Pと、Nチャネル高耐圧トランジスタ100Nとの間には、絶縁層10bに到達する深さの第1および第3の素子分離領域110a, 110bが設けられている。

#### 【0017】

次に、Pチャネル高耐圧トランジスタ100PおよびNチャネル高耐圧トランジスタ100Nの構成について説明する。

#### 【0018】

Pチャネル高耐圧トランジスタ100Pは、第1ゲート絶縁層60と、第2ゲート絶縁層112と、ゲート電極70と、P型の低濃度不純物層50と、サイドウォール絶縁層72と、P型の高濃度不純物層52とを有する。

#### 【0019】

第1ゲート絶縁層60は、チャネル領域となるN型のウェル32上に設けられている。第2ゲート絶縁層112は、第1ゲート絶縁層60の両端で、オフセット領域の上方に設けられている。尚、第2ゲート絶縁層112は、後述するように、オフセット絶縁層であるトレンチ絶縁層20bと第1ゲート絶縁層60との積層膜のことである。ゲート電極70は、少なくとも第1ゲート絶縁層60上に形成されている。P型の低濃度不純物層50は、オフセット領域となる。サイドウォール絶縁層72は、ゲート電極70の側面に形成されている。P型の高濃度不純物層52は、サイドウォール絶縁層72の外側に設けられている。P型の高濃度不純物層52は、ソース領域またはドレイン領域（以下「ソース／ドレイン領域」という）となる。

#### 【0020】

Nチャネル高耐圧トランジスタ100Nは、第1ゲート絶縁層60と、第2ゲート絶縁層112と、ゲート電極70と、N型の低濃度不純物層40と、サイドウォール絶縁層72と、N型の高濃度不純物層42とを有する。

#### 【0021】

第1ゲート絶縁層60は、チャネル領域となるP型のウェル30上に設けられている。第2ゲート絶縁層112は、第1ゲート絶縁層60の両端で、オフセッ

ト領域の上方に設けられている。尚、第2ゲート絶縁層112は、後述するように、トレンチ絶縁層20bと第1ゲート絶縁層60との積層膜のことである。ゲート電極70は、少なくとも第1ゲート絶縁層60上に形成されている。N型の低濃度不純物層40は、オフセット領域となる。サイドウォール絶縁層72は、ゲート電極70の側面に形成されている。N型の高濃度不純物層42は、サイドウォール絶縁層72の外側に設けられている。N型の高濃度不純物層42は、ソース／ドレイン領域となる。

#### 【0022】

##### 1. 2 低耐圧トランジスタ領域

まず、低耐圧トランジスタ領域10LVについて説明する。低耐圧トランジスタ領域10LVには、Pチャネル低耐圧トランジスタ領域10LVpと、Nチャネル低耐圧トランジスタ領域10LVnとが設けられる。隣り合う低耐圧トランジスタ領域の間には、絶縁層10bに到達しない深さの第2の素子分離領域210が設けられている。すなわち、隣り合うPチャネル低耐圧トランジスタ200Pと、Nチャネル低耐圧トランジスタ200Nとの間には、絶縁層10bに到達しない深さの第2の素子分離領域210が設けられている。

#### 【0023】

次に、各トランジスタの構成について説明する。

#### 【0024】

Nチャネル低耐圧トランジスタ200Nは、ゲート絶縁層62と、ゲート電極70と、サイドウォール絶縁層72と、N型の低濃度不純物層41と、N型の高濃度不純物層42とを有する。

#### 【0025】

ゲート絶縁層62は、チャネル領域となるP型のウェル36上に設けられている。ゲート電極70は、ゲート絶縁層62上に形成されている。サイドウォール絶縁層72は、ゲート電極70の側面に形成されている。N型の低濃度不純物層41は、オフセット領域となる。N型の高濃度不純物層42は、サイドウォール絶縁層72の外側に設けられている。N型の高濃度不純物層42は、ソース／ドレイン領域となる。

**【0026】**

Pチャネル低耐圧トランジスタ200Pは、ゲート絶縁層62と、ゲート電極70と、サイドウォール絶縁層72と、P型の低濃度不純物層51と、P型の高濃度不純物層52とを有する。

**【0027】**

ゲート絶縁層62は、チャネル領域となるN型のウェル34上に設けられている。ゲート電極70は、ゲート絶縁層62上に形成されている。サイドウォール絶縁層72は、ゲート電極70の側面に形成されている。P型の低濃度不純物層51は、オフセット領域となる。P型の高濃度不純物層52は、サイドウォール絶縁層72の外側に設けられている。P型の高濃度不純物層52は、ソース／ドレイン領域となる。

**【0028】**

本実施の形態の半導体装置の利点は以下の通りである。

**【0029】**

本実施の形態の半導体装置において、高耐圧トランジスタ領域10HVは、絶縁層10bに到達する深さの第3の素子分離領域110bに囲まれる。また、隣り合う高耐圧トランジスタ領域の間には、絶縁層10bに到達する深さの第1および第3の素子分離領域110a, bが設けられている。すなわち、高耐圧トランジスタ100Pと100Nとは、完全に分離された半導体層10cに形成することができる。そのため、素子分離領域下部に形成されることがあった寄生MOSトランジスタの形成を抑制することができる。また、高濃度拡散層からなるガードリングを設ける必要がなくなり、高耐圧トランジスタ領域の面積の削減を図ることができる。

**【0030】**

また本実施の形態の半導体装置において、隣り合う低耐圧トランジスタ領域の間には、絶縁層10bに到達しない深さの第2の素子分離領域210が設けられている。従って、低耐圧トランジスタは、バルク型のMOSトランジスタと略同等の動作となり、基板浮遊効果などのSOI基板特有の効果を排除し、従来の設計資産を活用できる。

### 【0031】

#### 2. 半導体装置の製造方法

##### 2. 1 第1の半導体装置の製造方法

次に、第1の半導体装置の製造方法について、図2～20を参照しながら説明する。図2～20は、第1の半導体装置の製造方法の工程を模式的に示す断面図である。

### 【0032】

(1) 本実施の形態の半導体装置は、図2に示すように、支持基板10aの上に、絶縁層10bと、半導体層10cとが積層されたSOI基板10に形成される。半導体層10cとしては、単結晶シリコン層を用いることができる。単結晶シリコン層10cの膜厚は、500～2000nmであることが好ましい。図2に示すように、半導体層10cの上に、第1絶縁層12aを形成する。第1絶縁層12aとしては、酸化シリコン膜、窒化酸化シリコン膜などを用いる。第1絶縁層12aは、たとえば、CVD法などにより形成することができる。

### 【0033】

ついで、第1絶縁層12aの上に、ストッパ絶縁層14aを形成する。ストッパ絶縁層14aとしては、窒化シリコン膜を形成することができる。ストッパ絶縁層14aは、CVD法などにより形成することができる。ついで、ストッパ絶縁層14aの上に、所定のパターンのレジスト層R1を形成する。レジスト層R1は、第1および第3の素子分離領域110a, bが形成される領域に開口部を有する。

### 【0034】

(2) 次に、図3に示すように、レジスト層R1（図2参照）をマスクとして、ストッパ絶縁層14aおよび第1絶縁層12aをエッチングする。ついで、レジスト層R1と、ストッパ絶縁層14aと、第1絶縁層12aとをマスクとして、半導体層10cをエッチングし、トレンチ16aを形成する。このトレンチ16aの形成では、トレンチ16aの底部が、絶縁層10bに到達するように形成する。半導体層10cのエッチングは、たとえば、ドライエッチングにより行う。

**【0035】**

(3) 次に、図4に示すように、トレンチ16aの表面にトレンチ酸化膜18aを形成する。トレンチ酸化膜18aの形成方法は、たとえば、熱酸化法により行なう。トレンチ酸化膜18aの膜厚は、たとえば、50～500nmである。

**【0036】**

また、トレンチ酸化膜18aを形成する前に、必要に応じて、第1絶縁層12aの端部をエッチングすることができる。このような態様をとることにより、トレンチ酸化膜18aの形成において、トレンチ16aの上端部にトレンチ酸化膜18aを丸みを帯びるように形成することができる。そして、トレンチ16aの上端部にトレンチ酸化膜18aが丸みを帯びて形成されることにより、段差がなくなるため、後の工程でトレンチ絶縁層を良好に埋め込むことができる。

**【0037】**

(4) 次に、図5に示すように、所定のパターンを有するレジスト層R2を形成する。このレジスト層R2は、高耐圧トランジスタ領域10HVにおいては、第2ゲート絶縁層112を形成する領域の上方に開口部を有しており、低耐圧トランジスタ領域10LVにおいては、第2の素子分離領域210が形成される領域の上方に開口部を有している。

**【0038】**

(5) 次に、図6に示すように、レジスト層R2をマスクとして、第1絶縁層12aと、ストッパ絶縁層14aとをエッチングする。ついで、少なくともレジスト層R2をマスクとして、半導体層10cをエッチングする。このエッチングにより、半導体層10cにはトレンチ16bが形成される。トレンチ16bの形成では、トレンチ16bの底部が絶縁層10bに到達しないように形成する。トレンチ16bの深さとしては、たとえば、400nm程度にすることができる。また、第1絶縁層12aは、工程(2)と(5)とのパターニングにより、パッド層12となり、ストッパ絶縁層14aは、ストッパ層14となる。その後、レジスト層R2をアッシングにより除去する。

**【0039】**

(6) 次に、図7に示すように、トレンチ16bの表面にトレンチ酸化膜18



bを形成する。トレンチ酸化膜18bは、たとえば、熱酸化法により形成される。このとき、トレンチ16aではトレンチ酸化膜18aの上にトレンチ酸化膜18bが形成されてもよい。また、トレンチ酸化膜18aを除去した後にトレンチ酸化膜18bを形成してもよい。

#### 【0040】

ついで、トレンチ16aと、トレンチ16bとを埋め込むように、絶縁層22を形成する。絶縁層22は、トレンチ16a, 16bを埋めこみ、さらに、ストッパ層14を覆う膜厚であればよい。ついで、図7に示すように、絶縁層22の上に、SOG膜24を塗布し平坦な面を形成する。

#### 【0041】

(7) 次に、図8に示すように、ストッパ層14の上面が露出するまでSOG膜24および絶縁層22を除去する。SOG膜24および絶縁層22の除去は、たとえばCMP法などにより行なわれる。これにより、トレンチ16a, 16bには、トレンチ絶縁層20a、20bが形成される。その結果、第1および第3の素子分離領域110a, bと、第2の素子分離領域210とが形成される。また、この工程において、高耐圧トランジスタ領域10HVでは、第2ゲート絶縁層112一部であるオフセット絶縁層が形成されることとなる。なお、本実施の形態では、オフセット絶縁層をトレンチ素子分離法により形成しているため、トレンチ絶縁層20bということとする。

#### 【0042】

(8) 次に、図9に示すように、ストッパ層14を除去する。ストッパ層14の除去は、たとえば、熱リン酸によるウェットエッチングにより行なわれる。ついで、半導体層10の上面に、犠牲酸化膜（図示せず）を形成する。犠牲酸化膜としては、たとえば、酸化シリコン膜を形成することができる。この場合、熱酸化法により形成されることができる。

#### 【0043】

(9) 次に、図10に示すように、高耐圧トランジスタ領域10HVにおいて、N型ウェル30の形成を行なう。具体的には、所定のパターンを有するレジスト層R3を形成し、レジスト層R3をマスクとして、P型の不純物イオンを半導

体層 10c に導入することにより P 型ウェル 30 が形成される。その後、レジスト層 R3 をアッシングにより除去する。

#### 【0044】

(10) 次に、図 11 に示すように、高耐圧トランジスタ領域 10HV において、N 型ウェル 32 の形成を行なう。まず、所定のパターンを有するレジスト層 R4 を形成する。レジスト層 R4 をマスクとして、リン、砒素などの N 型不純物を 1 回もしくは複数回にわたって半導体層 10c に注入することにより、半導体基板 10 内に N 型ウェル 32 を形成する。その後、レジスト層 R4 をアッシングにより除去する。なお、工程 (9) および (10) の順序は、本実施の形態と逆の順序で行なってもよい。

#### 【0045】

(11) 次に、図 12 に示すように、高耐圧トランジスタ領域 10HV と、低耐圧トランジスタ領域 10LV の全面に、窒化シリコン膜 26 を形成する。

#### 【0046】

ついで、高耐圧トランジスタ領域 10HV において、ソース／ドレイン領域のオフセット領域のための不純物層を形成する。

#### 【0047】

まず、所定の領域を覆うレジスト層 R5 を形成する。レジスト層 R5 をマスクとして、半導体層 10c に P 型不純物を導入することにより、不純物層 40a を形成する。その後、レジスト層 R5 をアッシングにより除去する。

#### 【0048】

(12) 次に、図 13 に示すように、所定の領域を覆うレジスト層 R6 を形成する。レジスト層 R6 をマスクとして、P 型の不純物を半導体層 10c に導入する。これにより、P チャネル高耐圧トランジスタ領域 10HVp にソース／ドレイン領域のオフセット領域のための不純物層 50a が形成される。

#### 【0049】

(13) 次に、図 14 に示すように、熱処理を施すことにより不純物層 40a, 50a が拡散され、高耐圧トランジスタ 100P, N のオフセット領域となる低濃度不純物層 40, 50 が形成される。

## 【0050】

(14) 次に、図15に示すように、高耐圧トランジスタ領域10HVにおいて、各トランジスタのゲート絶縁層を形成する領域以外を覆うように、レジスト層R7を形成する。レジスト層R7をマスクとして、露出している窒化シリコン膜26を除去する。ついで、高耐圧トランジスタ領域10HVにおいて、必要に応じてチャネルドープを行なう。チャネルドープは、たとえば、以下の方法により行なうことができる。まず、Pチャネル高耐圧トランジスタ領域10HV<sub>p</sub>以外を覆うように、レジスト層（図示せず）を形成する。レジスト層をマスクとして、たとえば、ボロンなどの、P型の不純物を注入する。その後レジスト層をアッシングにより除去する。ついで、Nチャネル高耐圧トランジスタ領域10HV<sub>n</sub>以外を覆うように、レジスト層（図示せず）を形成する。レジスト層をマスクとして、たとえば、リンなどのN型の不純物を注入する。その後、レジスト層をアッシングにより除去する。

## 【0051】

(15) 次に、図16に示すように、高耐圧トランジスタ領域10HVに第1ゲート絶縁層60を形成する。第1ゲート絶縁層60は、選択熱酸化法により形成することができる。第1ゲート絶縁層60の膜厚は、約1600Åである。ついで、残存している窒化シリコン膜26を除去する。

## 【0052】

(16) 次に、図17に示すように、低耐圧トランジスタ領域10LVにおいて、N型ウェル34と、P型ウェル36を形成する。N型ウェル34およびP型ウェルの形成は、具体的には、一般的ナリソグラフィ技術を用いて所定のパターンを有するマスク層を形成し、所定の導電型の不純物を導入することにより行なわれる。ついで、必要に応じて、チャネルドープを行なってもよい。(17) 次に、図18に示すように、高耐圧トランジスタ領域10HVにおいて、第1ゲート絶縁層60が形成された領域を覆うように、レジスト層R8を形成し、露出しているパッド層12を除去する。パッド層12のエッチングは、たとえば、フッ酸によるウェットエッチングにより行なうことができる。

## 【0053】

(18) 次に、図19に示すように、低耐圧トランジスタのためのゲート絶縁層62を形成する。ゲート絶縁層62は、たとえば、熱酸化法により形成される。ゲート絶縁層62の膜厚は、たとえば、45 Åである。ゲート絶縁層62は、高耐圧トランジスタ領域10HVにおいても形成される。

#### 【0054】

ついで、図19に示すように、高耐圧トランジスタ領域10HVと、低耐圧トランジスタ領域10LVとの全面に、導電層70aを形成する。導電層70aとしては、たとえば、ポリシリコン層を形成する。導電層70aの材質として、ポリシリコン層を形成する場合は、導電層70aにおいてNチャネル高耐圧トランジスタ100Nと、Nチャネル低耐圧トランジスタ200Nのゲート電極となる領域にn型の不純物を注入し、ゲート電極の低抵抗化を図る。

#### 【0055】

(19) 次に、所定のパターンを有するレジスト層（図示せず）を形成する。レジスト層をマスクとして、ポリシリコン層をパターンニングすることにより、図20に示すように、ゲート電極70が形成される。

#### 【0056】

ついで、低耐圧トランジスタ領域10LVにおいて、各トランジスタ200P、Nのための低濃度不純物層41、51を形成する。低濃度不純物層41、51は、一般的なリソグラフィ技術を用いてマスク層を形成し、所定の不純物を注入することにより形成することができる。

#### 【0057】

(20) 次に、全面に絶縁層（図示せず）を形成し、この絶縁層を異方性エッチングすることにより、ゲート電極70の側面にサイドウォール絶縁層72（図1参照）が形成される。ついで、Pチャネル高耐圧トランジスタ領域10HVpおよびPチャネル低耐圧トランジスタ領域10LVpの所定の領域に、P型の不純物を導入することにより、図1に示すように、サイドウォール絶縁層72の外側にソース／ドレイン領域52を形成する。ソース／ドレイン領域となるP型の高濃度不純物層52の形成は、公知の方法により行なうことができる。

#### 【0058】

ついで、Nチャネル高耐圧トランジスタ領域10HV<sub>n</sub>およびNチャネル低耐圧トランジスタ領域10LV<sub>n</sub>の所定の領域に、N型の不純物を導入することにより、ソース／ドレイン領域42を形成する。ソース／ドレイン領域となるN型の高濃度不純物層42の形成は、公知の方法により行なうことができる。

#### 【0059】

上述のようにして、図1に示す半導体装置が形成される。

#### 【0060】

(A) 本実施の形態の製造方法によれば、高耐圧トランジスタ100P、Nは、絶縁層10bに到達する第1および第3の素子分離領域110a、bにより分離された領域に形成されることができる。そのため、耐圧を確保するために必要としていた広い素子分離領域が不要となる。また、素子分離領域の下部に形成されることが寄生MOSトランジスタの発生を抑制することができる。さらに、高濃度拡散層によるガードリングを設ける必要もなくなるため、高耐圧トランジスタ領域10HVの面積の削減を図ることができる。

#### 【0061】

(B) また、低耐圧トランジスタ200P、Nは、絶縁層10bに到達しない深さの第2の素子分離領域210により分離された領域に形成されることができる。そのため、基板浮遊効果などのSOI基板特有の効果を排除することができる。さらに、低耐圧トランジスタ領域10LVにおいては、従来の設計資産を活用することができる。

#### 【0062】

### 2.2 第2の半導体装置の製造方法

次に、第2の半導体装置の製造方法について図21～24を参照しながら説明する。第2の実施の形態では、第1および第3の素子分離領域110a、bと、第2の素子分離領域210との形成方法が、第1の半導体装置の製造方法と異なる例である。図21～24は、第2の半導体装置の製造方法の工程を模式的に示す断面図である。なお、第1の半導体装置の製造方法と同様に行なうことができる工程については、同様の図面を用い、その詳細な説明を省略する。

#### 【0063】

(1) まず、図2に示すように、半導体層10cの上に、第1絶縁層12aを形成する。ついで、第1絶縁層12aの上にストッパ絶縁層14aを形成する。第1絶縁層12aおよびストッパ絶縁層14aの形成は、第1の実施の形態と同様に行なうことができる。

#### 【0064】

(2) 次に、ストッパ絶縁層14aの上に、図21に参照されるようなパターンを有するレジスト層R1を形成する。レジスト層R1は、第1および第3の素子分離領域110a, bと、第2の素子分離領域210と、高耐圧トランジスタ領域10HVの第2ゲート絶縁層112とが形成される領域に開口部を有する。ついで、レジスト層R1をマスクにしてストッパ絶縁層12aをエッチングする。その後、レジスト層R1と、ストッパ絶縁層14aと、第1絶縁層12aとをマスクとして、半導体層10cをエッチングする。これにより、第1および第3の素子分離領域110a, bのためのトレンチ16aと、第2の素子分離領域210および第2ゲート絶縁層112のためのトレンチ16bとが形成される。トレンチ16a, bの深さは、300～1800nmになるようにエッチングを行なう。また、この工程で、第1絶縁層12aおよびストッパ絶縁層14aがパターニングされ、パッド層12と、ストッパ層14が形成される。

#### 【0065】

(3) 次に、図22に示すように、トレンチ16a, bを埋め込むように、トレンチ絶縁層20a, bを形成する。トレンチ絶縁層20a, bは、たとえば、第1の実施の形態の工程(6)～(8)と同様の方法により行なうことができる。

#### 【0066】

ついで、トレンチ絶縁層20a, bが形成された半導体層10cの上に、窒化シリコン層28を形成する。ついで、窒化シリコン層28の上に、第1および第3の素子分離形成領域110a, bの上方、すなわちトレンチ16aの上方に開口部を有するレジスト層R2を形成する。

#### 【0067】

(4) 次に、図23に示すように、レジスト層R2をマスクとして、窒化シリ

コン層 28 を除去する。すなわち、第 1 および第 3 の素子分離形成領域 110 a, b 第 1 および第 3 の素子分離領域 110 a, b の窒化シリコン層 28 が除去される。さらに、トレンチ 16 a のトレンチ絶縁層 20 a を引き続いて除去する。その後、レジスト層 R2 をアッシングにより除去する。

#### 【0068】

(5) 次に、図 24 に示すように、窒化シリコン膜 28 をマスクとして、熱酸化を行なう。これにより、第 1 および第 3 の素子分離形成領域 110 a, b 第 1 および第 3 の素子分離領域 110 a, b では半導体層 10 c が酸化され、酸化膜 20 c が形成される。これにより、絶縁層 10 b に到達する深さの第 1 および第 3 の素子分離領域 110 a, b が形成される。

#### 【0069】

(6) 次に、第 1 の実施の形態の (9) ~ (20) を行なうことにより、本実施の形態にかかる半導体装置を形成することができる。

#### 【0070】

第 2 の半導体装置の製造方法によれば、第 1 および第 3 の素子分離形成領域 110 a, b 第 1 および第 3 の素子分離領域 110 a, b は、熱酸化法により形成された酸化膜からなる。そのため、絶縁層 10 b に到達する深さのトレンチを形成し、このトレンチに絶縁層を埋め込む方法と比して、半導体層 10 c にかかるストレスを少なくすることができる。その結果、良好な第 1 および第 3 の素子分離形成領域 110 a, b 第 1 および第 3 の素子分離領域 110 a, b を形成することができる。

#### 【0071】

### 2. 3 第 3 の半導体装置の製造方法

次に、第 3 の半導体装置の製造方法について図 25, 26 を参照しながら説明する。第 3 の半導体装置の製造方法は、第 1 および第 3 の素子分離形成領域 110 a, b 第 1 および第 3 の素子分離領域 110 a, b と、第 2 の素子分離領域 210 の形成方法が第 1 の半導体装置の製造方法と異なる例である。図 25, 26 は、第 3 の半導体装置の製造方法の工程を模式的に示す断面図である。なお、第 1 および第 2 の半導体装置の製造方法と同様に行なうことができる工程について

は、同様の図面を用い、またその詳細な説明を省略する。

#### 【0072】

(1) まず、図2に示すように、半導体層10cの上に、第1絶縁層12aを形成する。ついで、第1絶縁層12aの上にストッパ絶縁層14aを形成する。第1絶縁層12aおよびストッパ絶縁層14aの形成は、第1の実施の形態と同様に行なうことができる。

#### 【0073】

(2) 次に、図21に示すように、ストッパ絶縁層14aの上に、所定のパターンを有するレジスト層R1を形成する。レジスト層R1は、第1および第3の素子分離領域110a、bと、第2の素子分離領域210と、高耐圧トランジスタ領域10HVのオフセット層112とが形成される領域に開口部を有する。ついで、レジスト層R1と、ストッパ絶縁層14aと、第1絶縁層12aとをマスクとして、半導体層10cをエッチングし、トレンチ16a、bを形成する。トレンチ16a、bの深さは、300～1800nmになるようにエッチングを行なう。また、この工程で、第1絶縁層12aおよびストッパ絶縁層14aは、パターンニングされ、パッド層12およびストッパ層14となる。

#### 【0074】

(3) 次に、図25に示すように、トレンチ16a、bの表面に第1のトレンチ酸化膜18を形成する。第1のトレンチ酸化膜18の形成は、第1の実施の形態の工程(3)と同様にして行なうことができる。ついで、トレンチ16aの上方に開口部を有するレジスト層R2を形成する。レジスト層R2をマスクとして、トレンチ16aの底部の半導体層10cに不純物イオンを注入する。不純物イオンとしては、たとえば、C1などを注入することができる。これにより、半導体層10cに欠陥が引き起こされる。そのため、後の熱酸化膜の形成工程で、トレンチ16aの底部の半導体層10cの熱酸化膜の形成速度を上げることができる。その後、レジスト層R2をアッシングにより除去する。ついで、トレンチ16a、16bの表面に形成されている第1のトレンチ酸化膜18を除去する。

#### 【0075】

(4) 次に、図26に示すように、トレンチ16a、bの表面に第2のトレン



チ酸化膜 19 を形成する。第 2 のトレンチ酸化膜 19 は、たとえば、熱酸化法により形成することができる。この熱酸化工程により、トレンチ 16 a の底部の半導体層 10 c は、熱酸化されて酸化膜 20 c となる。すなわち、絶縁層 10 b に到達する深さの第 1 および第 3 の素子分離形成領域 110 a, b 第 1 および第 3 の素子分離領域 110 a, b の一部が形成される。

#### 【0076】

ついで、トレンチ 16 a, b に、トレンチ絶縁層 20 a, b を形成する。トレンチ絶縁層 20 a, b の形成は、第 1 の実施の形態の工程 (6)、(7) と同様に行なうことができる。その後、ストッパ層 14 を除去し高耐圧トランジスタ領域 10 H V には、第 1 および第 3 の素子分離領域 110 a, b が形成され、低耐圧トランジスタ領域 10 L V には、第 2 の素子分離領域 210 が形成される。

#### 【0077】

(5) 次に、第 1 の半導体装置の製造方法の (9) ~ (20) を行なうことにより、図 1 に示す半導体装置を形成することができる。

#### 【0078】

第 3 の半導体装置の製造方法によれば、トレンチ 16 a, b の形成を、同時に行なうことにより、工程数の削減を図ることができる。また、トレンチ 16 a の底部に不純物が導入されているため、熱酸化膜の形成速度を上昇させることができる。その結果、第 2 のトレンチ酸化膜 19 の形成と同時に、トレンチ 16 a の底部に第 2 のトレンチ酸化膜 19 よりも厚く、絶縁層 10 b に到達する酸化膜が形成される。

#### 【0079】

### 2. 4 第 4 の半導体装置の製造方法

次に、第 4 の半導体装置の製造方法について図 27 ~ 29 を参照しながら説明する。第 4 の半導体装置の製造方法は、第 1 および第 3 の素子分離領域 110 a, b と、第 2 の素子分離領域 210 の形成方法が第 1 の半導体装置の製造方法と異なる例である。図 27 ~ 29 は、第 4 の半導体装置の製造方法の工程を模式的に示す断面図である。なお、第 1 の半導体装置の製造方法と同様に行なうことができる工程については、同様の図面を用い、またその詳細な説明を省略する。

## 【0080】

(1) まず、図2に示すように、半導体層10cの上に第1絶縁層12aを形成する。ついで、第1絶縁層12aの上にストッパ絶縁層14aを形成する。第1絶縁層12aおよびストッパ絶縁層14aの形成は、第1の実施の形態と同様に行なうことができる。

## 【0081】

(2) 次に、図27に示すように、ストッパ絶縁層14aの上に、低耐圧トランジスタ領域10LVの第2の素子分離領域210の上方と、高耐圧トランジスタ領域10HVのオフセット層112の上方とに開口部を有するレジスト層R1を形成する。ついで、レジスト層R1をマスクとして、ストッパ絶縁層14aと、第1絶縁層12aをエッチングする。その後、レジスト層R1と、ストッパ絶縁層14aと、第1絶縁層12aとをマスクとして、トレンチ16bを形成する。トレンチ16bの深さは、約400nm程度になるようにエッチングを行なう。その後、レジスト層R1は、アッシングにより除去される。ついで、トレンチ16bの表面に、トレンチ酸化膜18を形成する。トレンチ酸化膜18は、例えば熱酸化法により形成される。

## 【0082】

(3) 次に、図28に示すように、所定のパターンのレジスト層R2を形成する。レジスト層R2は、高耐圧トランジスタ領域10HVの第1および第3の素子分離領域110a, bの上方に開口部を有する。ついで、レジスト層R2をマスクとして、ストッパ絶縁層14aと、第1絶縁層12aをエッチングする。その後、レジスト層R2と、ストッパ絶縁層14aと、第1絶縁層12aとをマスクとして、半導体層10cをエッチングし、トレンチ16aを形成する。トレンチ16aの深さは、後述するトレンチ酸化膜19の酸化膜形成と同時に形成される絶縁層20cが確実に半導体層10cに到達できるような深さになるようにエッチングを行なう。

## 【0083】

ついで、トレンチ16aの底部に、不純物イオンの注入を行なう。これにより、半導体層10cを構成する単結晶シリコン層に欠陥が引き起こされる。その後

、アッシングによりレジスト層 R2 を除去する。ついで、トレンチ 16b の表面に形成されているトレンチ酸化膜 18 を除去する。

#### 【0084】

(4) 次に、図 29 に示すように、トレンチ 16a, b の表面にトレンチ酸化膜 19 を形成する。トレンチ酸化膜 19 は、たとえば、熱酸化法により形成される。トレンチ酸化膜 19 の膜厚は、50 ~ 100 nm であるがもっと厚くてもよい。この工程により、トレンチ 16a の底部にある半導体層 10c は、熱酸化されることにより酸化膜 20c となる。これにより、絶縁層 10b に到達する第 1 および第 3 の素子分離領域 110a, b の一部が形成される。

#### 【0085】

ついで、トレンチ 16a, b とに、トレンチ絶縁層 20a, b を形成する。トレンチ絶縁層 20a, b の形成は、第 1 の実施の形態の工程 (6)、(7) と同様に行なうことができる。その後、ストップ層 14 を除去し高耐圧トランジスタ領域 10HV には、第 1 および第 3 の素子分離領域 110a, b が形成され、低耐圧トランジスタ領域 10LV には、第 2 の素子分離領域 210 が形成される。

#### 【0086】

(6) 次に、第 1 の半導体装置の製造方法の (9) ~ (20) を行なうことにより、図 1 に示す半導体装置を形成することができる。

#### 【0087】

第 4 の半導体装置の製造方法によれば、第 1 および第 3 の素子分離領域 110a, b は、トレンチ 16a の形成と、酸化膜 20c の形成とを組み合わせる行なうことができる。そのため、トレンチ 16a と、トレンチ 16b との深さの差が少なくなり、トレンチ絶縁層 20a, b の埋め込みを良好に行なうことができる。

#### 【0088】

また、トレンチ 16a の底部に不純物が導入されているため、熱酸化膜の形成速度を上げることができる。そのため、トレンチ 16a の底部の半導体層 10c は、半導体層に不純物が注入されていない領域よりも、厚く酸化膜が形成でき、絶縁層 10b に到達する深さの第 1 および第 3 の素子分離領域 110a, b を形

成することができる。

#### 【0089】

なお、本発明は、上述の実施の形態に限定されず、本発明の要旨の範囲内で変形することができる。

#### 【0090】

たとえば、第1の半導体装置の製造方法において、トレンチ絶縁層20a, bの形成を次のように行なうことができる。まず、図6に参照されるように、トレンチ16a, bを形成する。その後、トレンチ16bのみを埋め込むことができるだけの膜厚の絶縁層を形成する。この絶縁層は、HDP法またはCVD法により形成することができる。そして、トレンチ16aにおいて絶縁層で埋め込まれていない部分を埋め込むように、SOG膜を塗布する。ついで、たとえば、CMP法によりストッパ層14が露出するまで、SOG膜を除去することにより、トレンチ絶縁層20a, bを形成することができる。

#### 【0091】

また、第2の半導体装置の製造方法の変形としては、以下に示す方法がある。まず、第1および第3の素子分離領域110a, bのためのトレンチ16aを形成する。このとき、トレンチ16aは、第2の素子分離領域210のためのトレンチ16bよりも深い位置であり、絶縁層10bには到達しないように形成する。ついで、トレンチ16aの表面に熱酸化法により酸化膜を形成し、絶縁層10bに到達する深さの第1および第3の素子分離領域110a, bを形成することができる。この後に、第2の素子分離領域210およびオフセット層112を形成する。この態様では、トレンチ16aの幅とトレンチ16aの底部の半導体層10cの厚さの比を適宜制御することにより、さらにストレスの緩和を図ることができる。たとえば、トレンチ16aの幅とトレンチ16aの底部の半導体層10cの厚さの比は、2:1であることが好ましい。

#### 【0092】

以上、本発明の実施の形態について述べたが、本発明は、上述の実施の形態に限定されず、本発明の要旨の範囲内で変形が可能である。たとえば、第2の素子分離領域210および高耐圧トランジスタ第2ゲート絶縁層112の一部である

オフセット絶縁層は、上述の実施の形態では、トレンチ素子分離法により形成したが、LOCOS法、セミリセスLOCOS法によって形成することもできる。

【図面の簡単な説明】

- 【図 1】 本実施の形態の半導体装置を模式的に示す断面図。
- 【図 2】 第 1 の半導体装置の製造方法の一工程を示す断面図。
- 【図 3】 第 1 の半導体装置の製造方法の一工程を示す断面図。
- 【図 4】 第 1 の半導体装置の製造方法の一工程を示す断面図。
- 【図 5】 第 1 の半導体装置の製造方法の一工程を示す断面図。
- 【図 6】 第 1 の半導体装置の製造方法の一工程を示す断面図。
- 【図 7】 第 1 の半導体装置の製造方法の一工程を示す断面図。
- 【図 8】 第 1 の半導体装置の製造方法の一工程を示す断面図。
- 【図 9】 第 1 の半導体装置の製造方法の一工程を示す断面図。
- 【図 1 0】 第 1 の半導体装置の製造方法の一工程を示す断面図。
- 【図 1 1】 第 1 の半導体装置の製造方法の一工程を示す断面図。
- 【図 1 2】 第 1 の半導体装置の製造方法の一工程を示す断面図。
- 【図 1 3】 第 1 の半導体装置の製造方法の一工程を示す断面図。
- 【図 1 4】 第 1 の半導体装置の製造方法の一工程を示す断面図。
- 【図 1 5】 第 1 の半導体装置の製造方法の一工程を示す断面図。
- 【図 1 6】 第 1 の半導体装置の製造方法の一工程を示す断面図。
- 【図 1 7】 第 1 の半導体装置の製造方法の一工程を示す断面図。
- 【図 1 8】 第 1 の半導体装置の製造方法の一工程を示す断面図。
- 【図 1 9】 第 1 の半導体装置の製造方法の一工程を示す断面図。
- 【図 2 0】 第 1 の半導体装置の製造方法の一工程を示す断面図。
- 【図 2 1】 第 2 の半導体装置の製造方法の一工程を示す断面図。
- 【図 2 2】 第 2 の半導体装置の製造方法の一工程を示す断面図。
- 【図 2 3】 第 2 の半導体装置の製造方法の一工程を示す断面図。
- 【図 2 4】 第 2 の半導体装置の製造方法の一工程を示す断面図。
- 【図 2 5】 第 3 の半導体装置の製造方法の一工程を示す断面図。
- 【図 2 6】 第 3 の半導体装置の製造方法の一工程を示す断面図。

【図 27】 第 4 の半導体装置の製造方法の一工程を示す断面図。

【図 28】 第 4 の半導体装置の製造方法の一工程を示す断面図。

【図 29】 第 4 の半導体装置の製造方法の一工程を示す断面図。

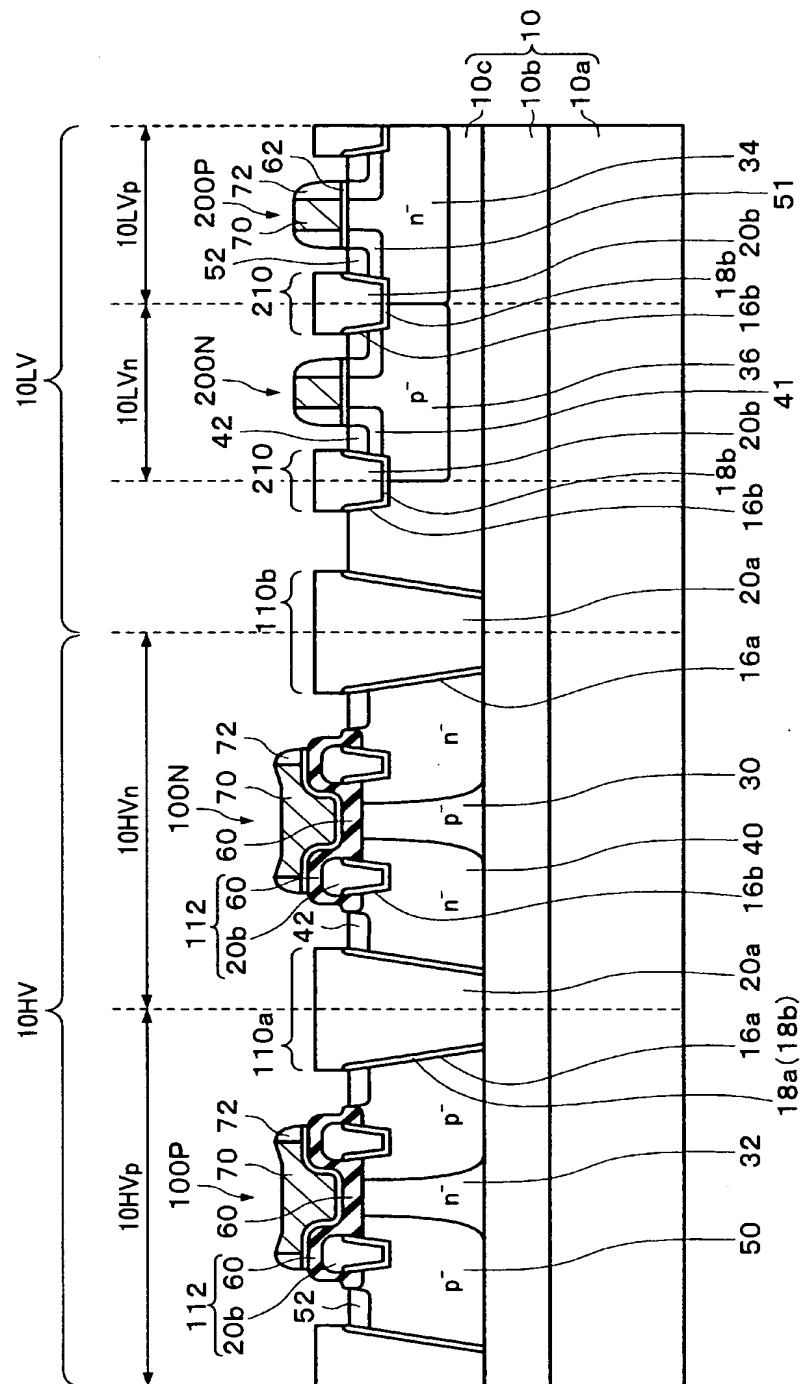
【符号の説明】

10 SOI 基板、 10a 支持基板、 10b 絶縁層、 10c 半導体層、 10HV 高耐圧トランジスタ領域、 10LV 低耐圧トランジスタ領域、 10HVp Pチャネル高耐圧トランジスタ領域、 10HVn Nチャネル高耐圧トランジスタ領域、 10LVp Pチャネル低耐圧トランジスタ領域、 10LVn Nチャネル低耐圧トランジスタ領域、 12 パッド層、 14 ストップ層、 16a, b トレンチ 18 トレンチ酸化膜、 22 絶縁層、 28 窒化シリコン膜、 30, 36 P型ウェル、 32, 34 N型ウェル、 42 N型の高濃度不純物層、 52 P型の高濃度不純物層、 60 ゲート絶縁層、 62 ゲート絶縁層、 70 ゲート電極、 72 サイドウォール絶縁層、 110a, b 第1および第3の素子分離領域、 112 第2ゲート絶縁層、 210 第2の素子分離領域、 100P Pチャネル高耐圧トランジスタ、 100N Nチャネル高耐圧トランジスタ、 200P Pチャネル低耐圧トランジスタ、 200N Nチャネル低耐圧トランジスタ

【書類名】

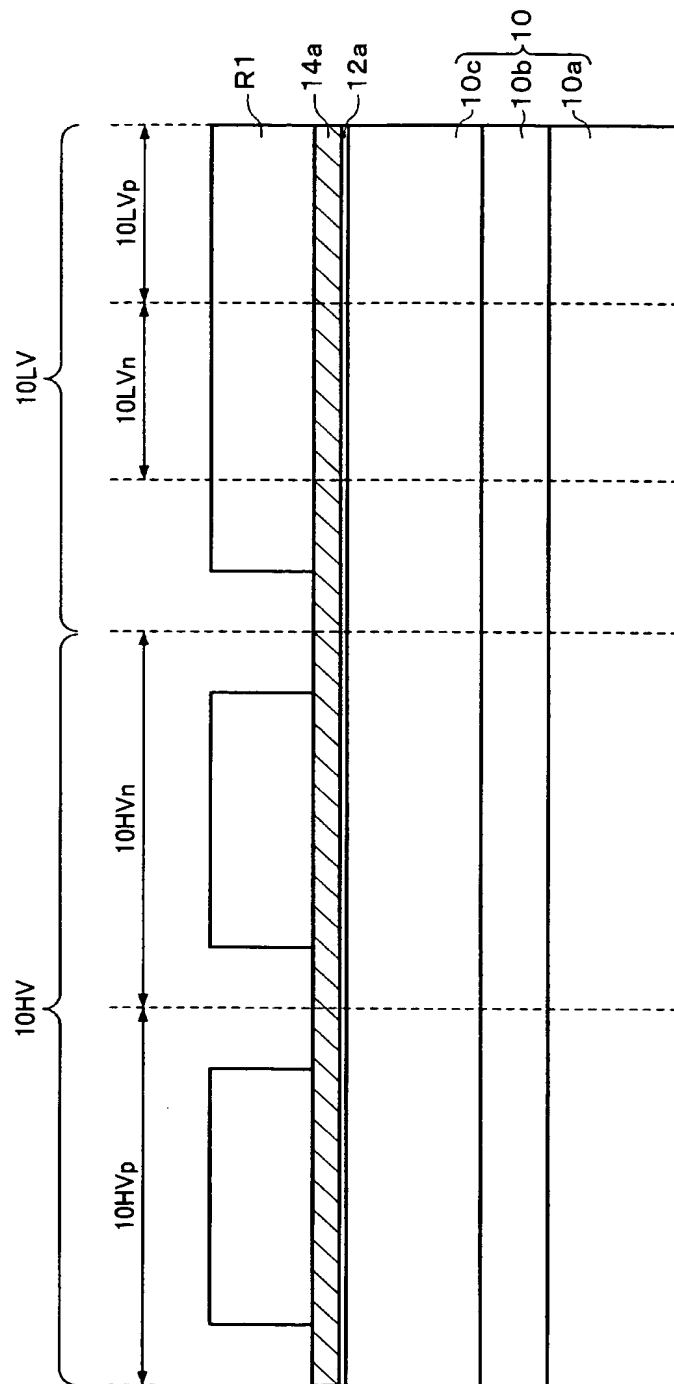
図面

【図 1】



BEST AVAILABLE COPY

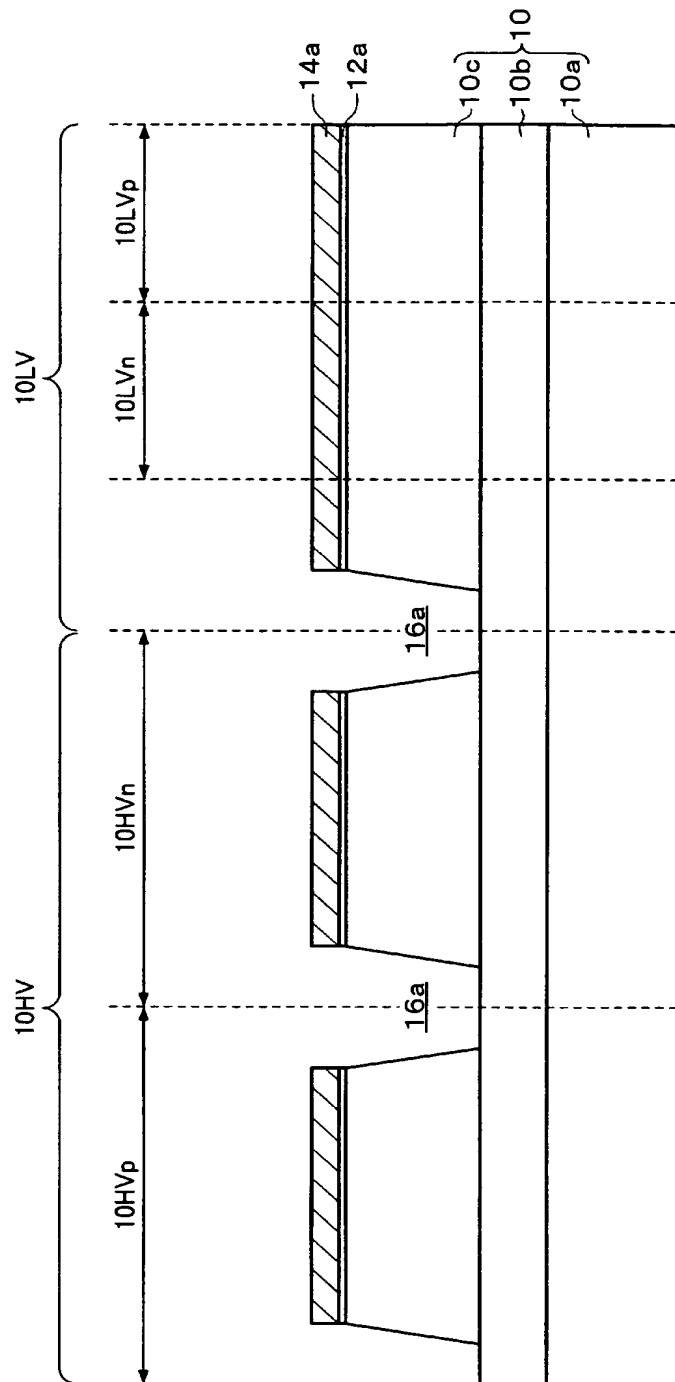
【図 2】



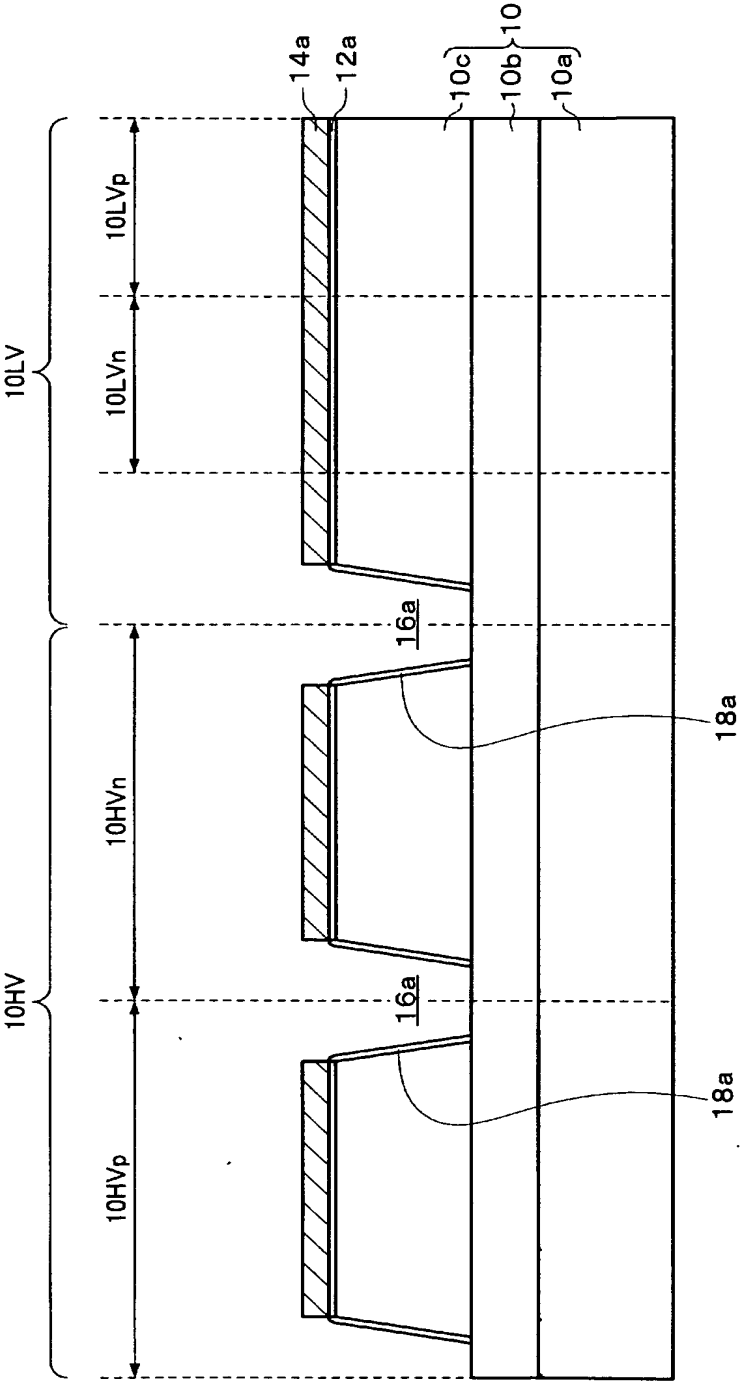
BEST AVAILABLE COPY



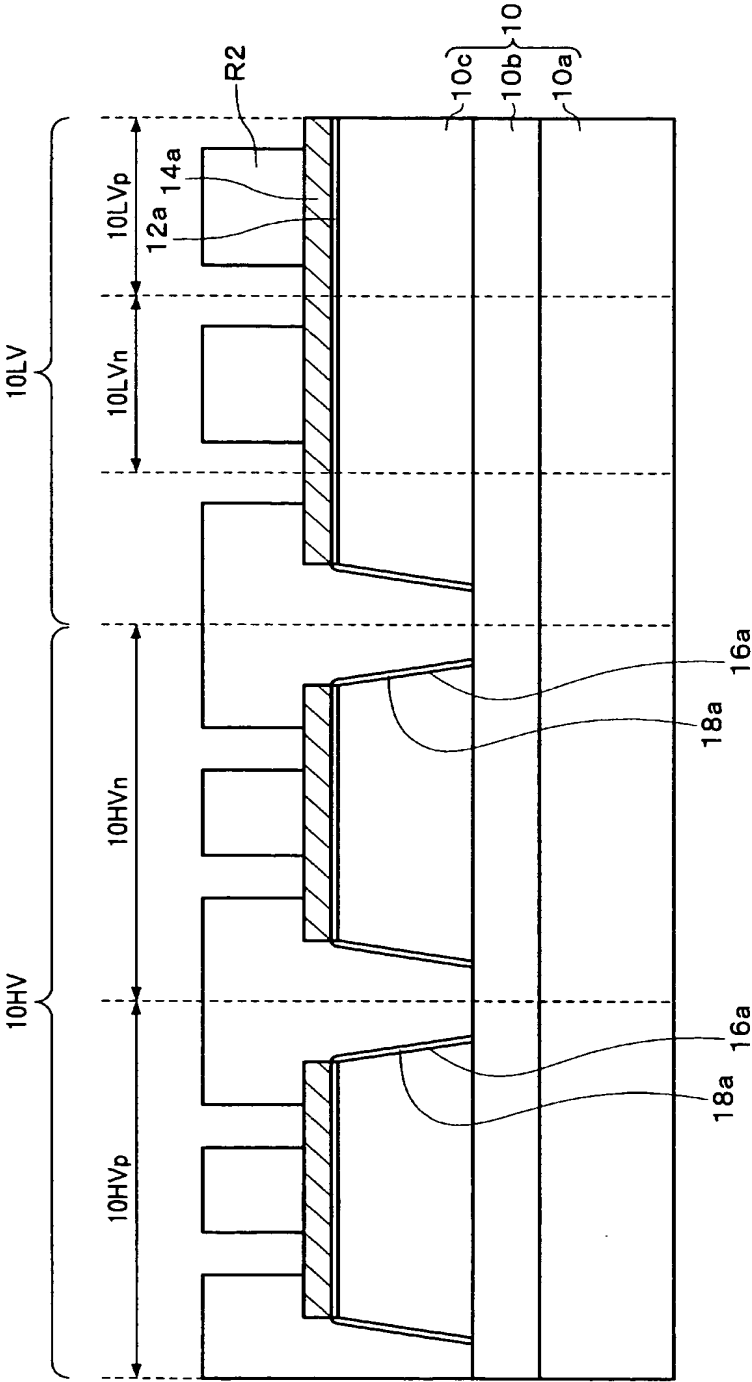
【図 3】



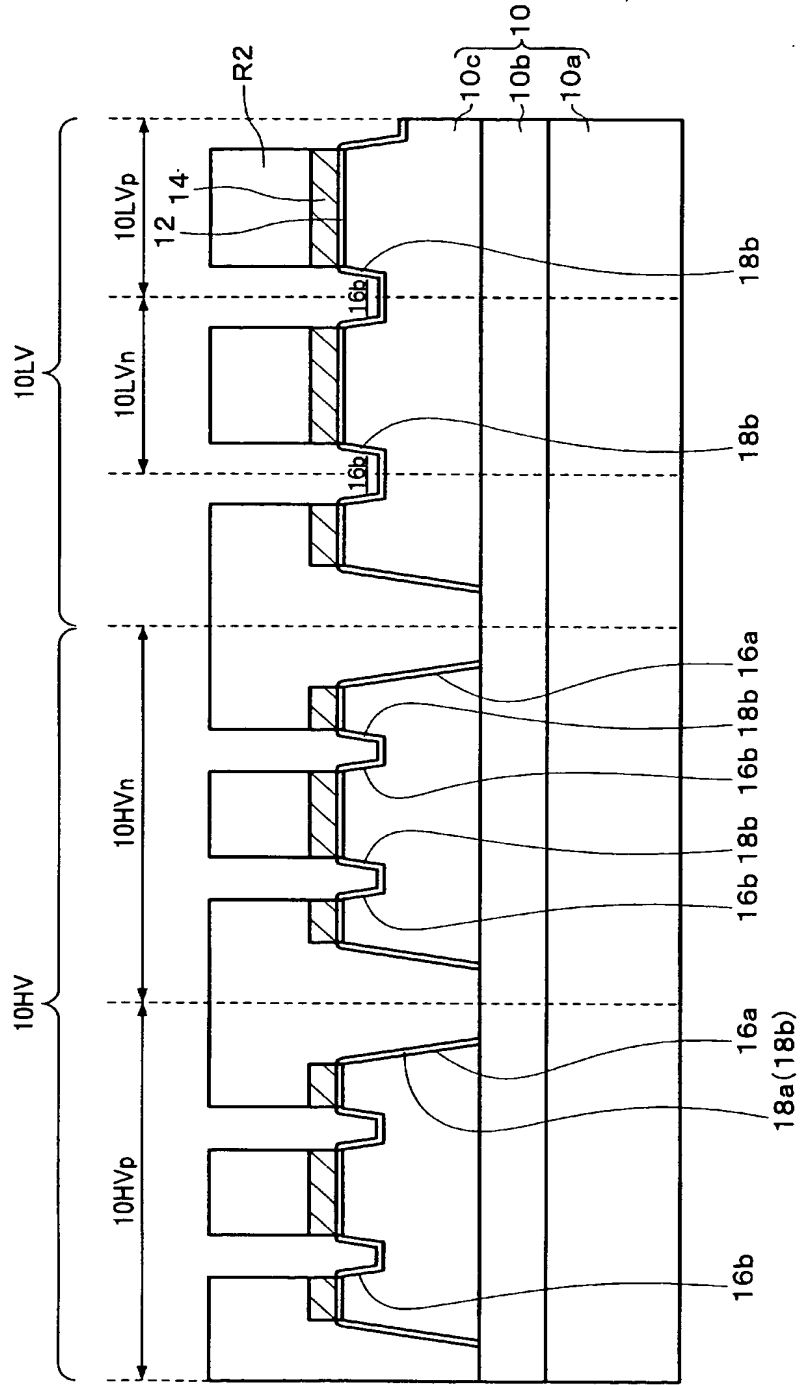
【図 4】



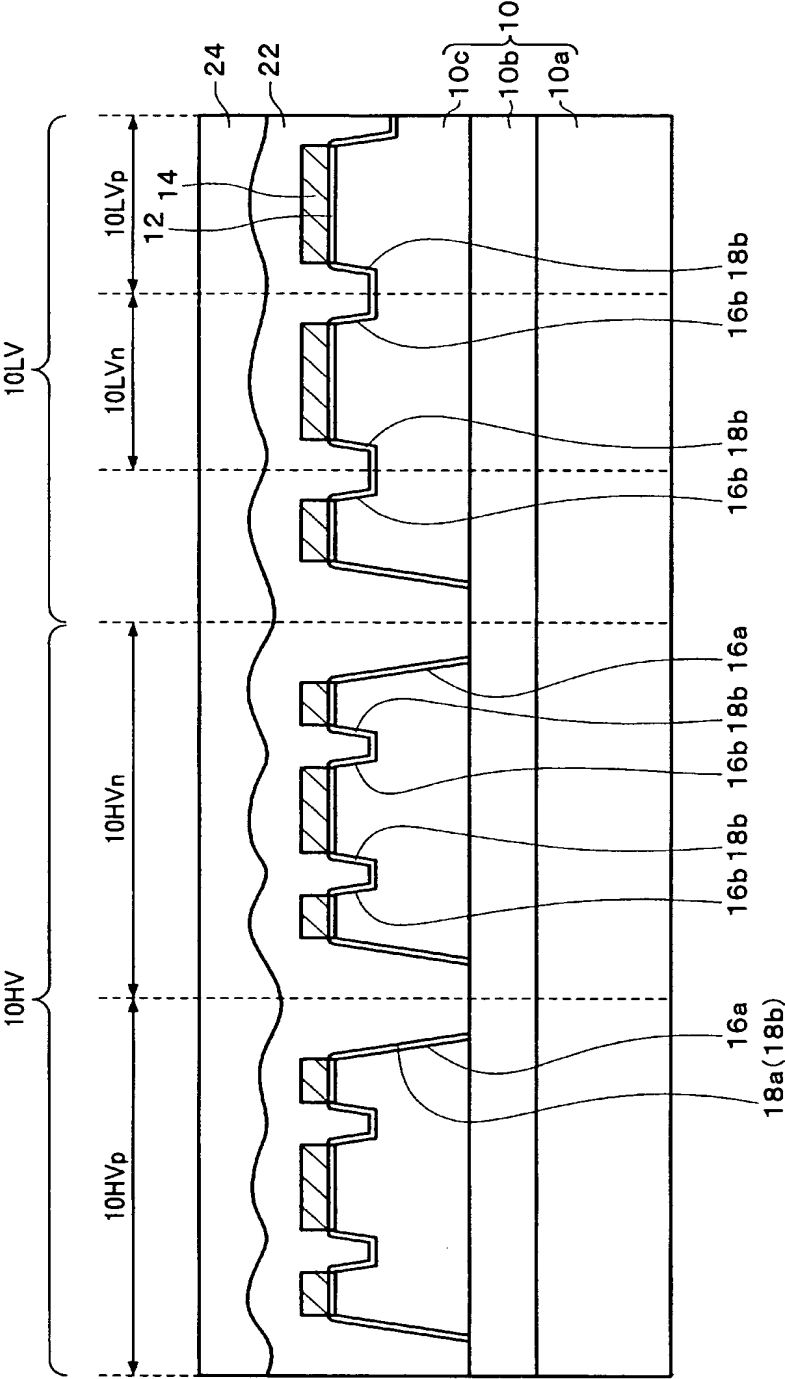
【図 5】



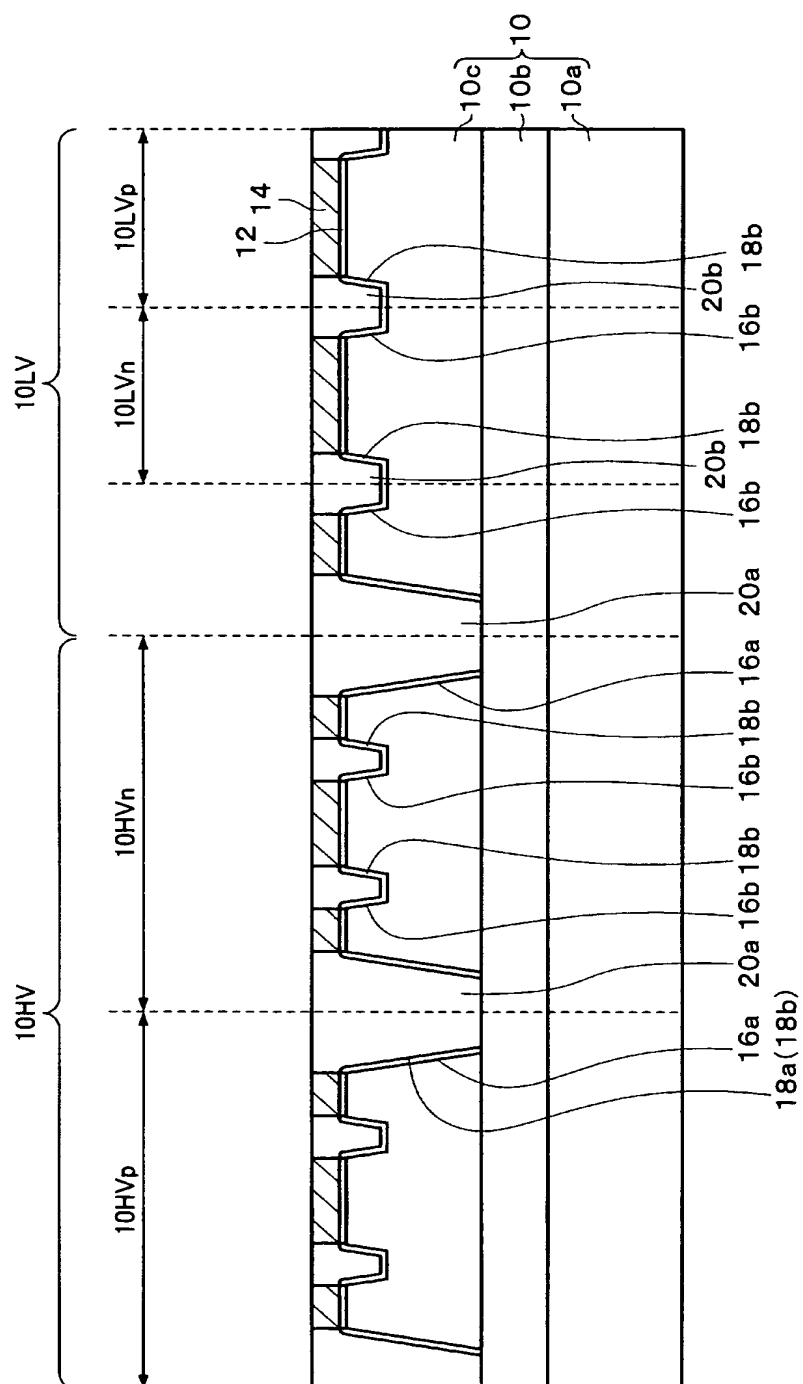
【図 6】



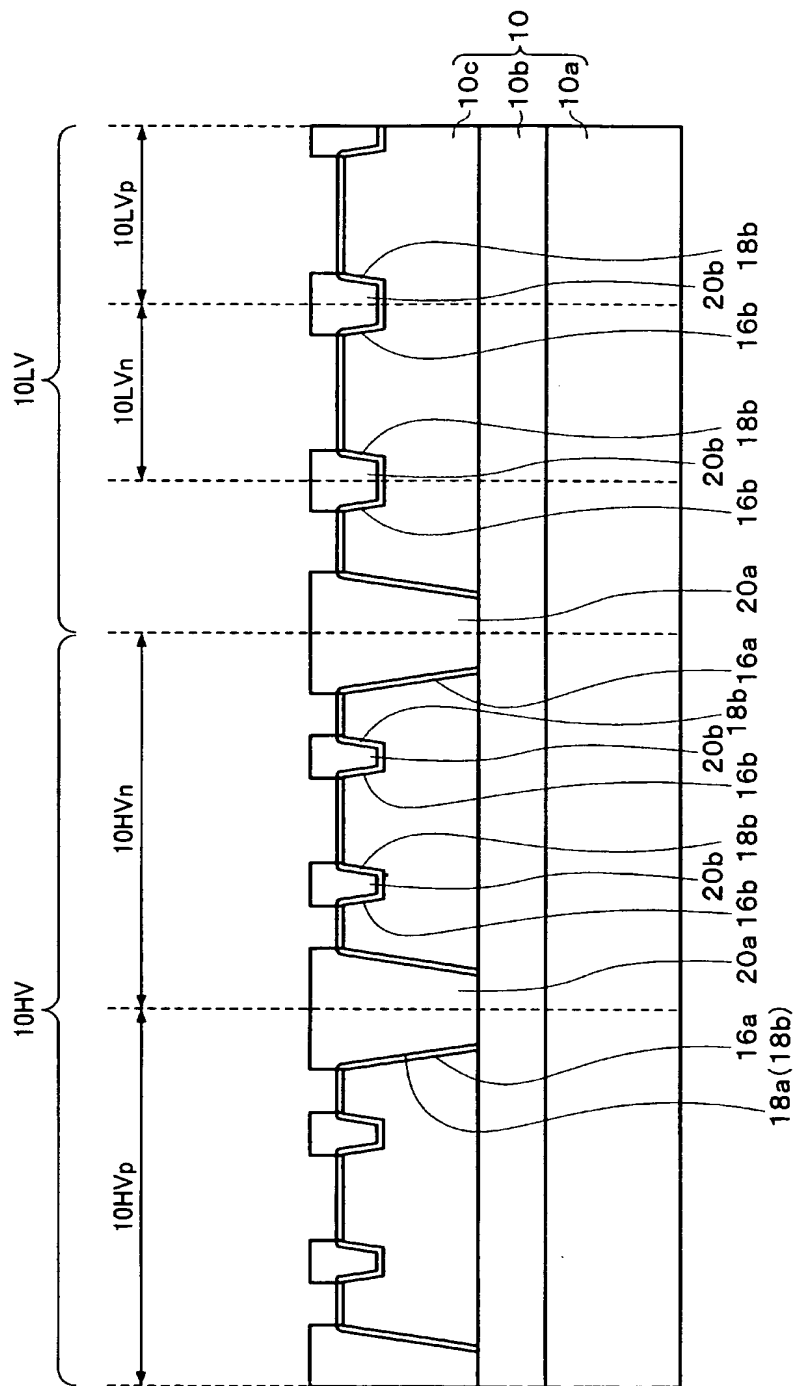
【図 7】



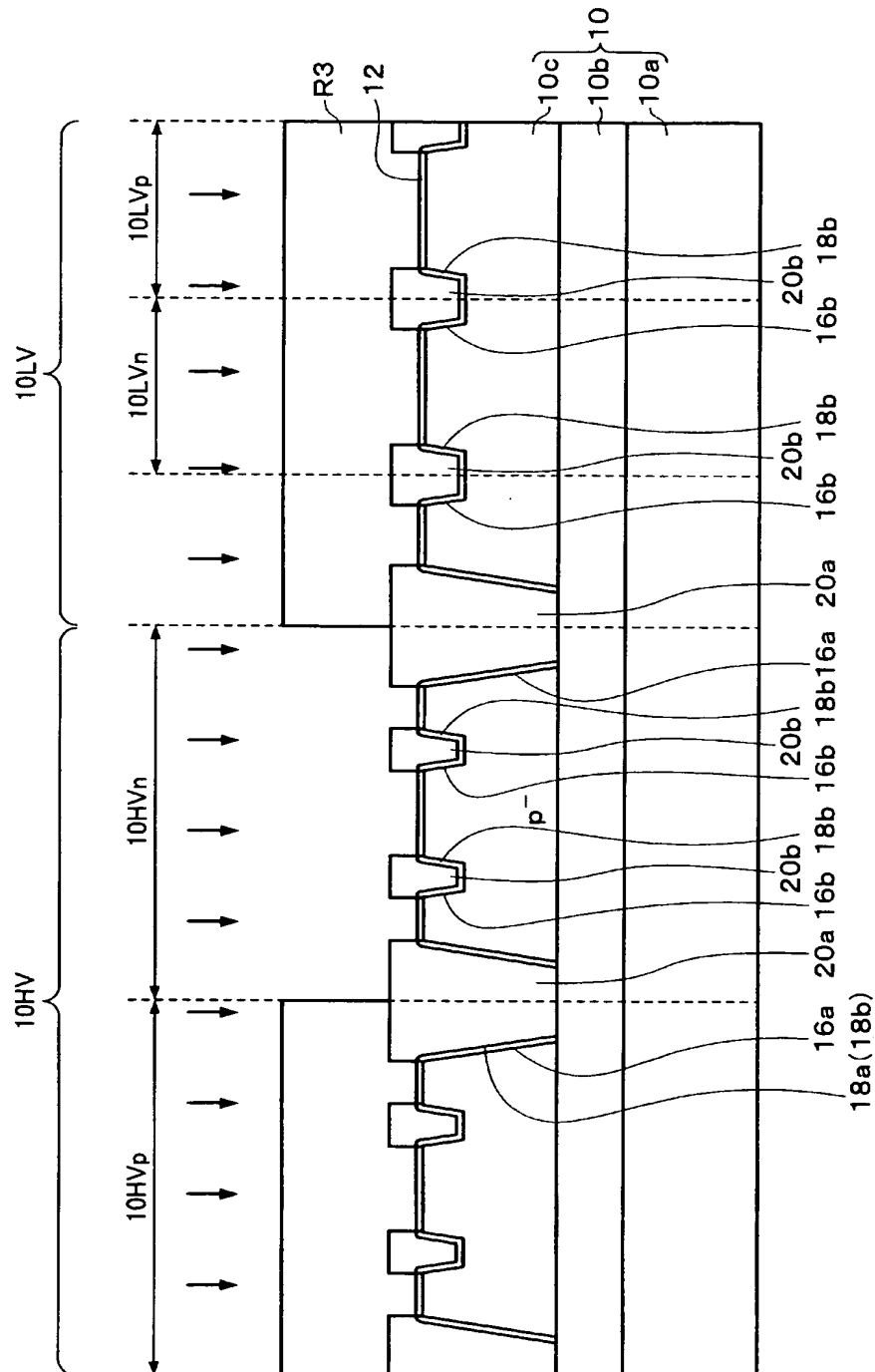
【図 8】



【図 9】



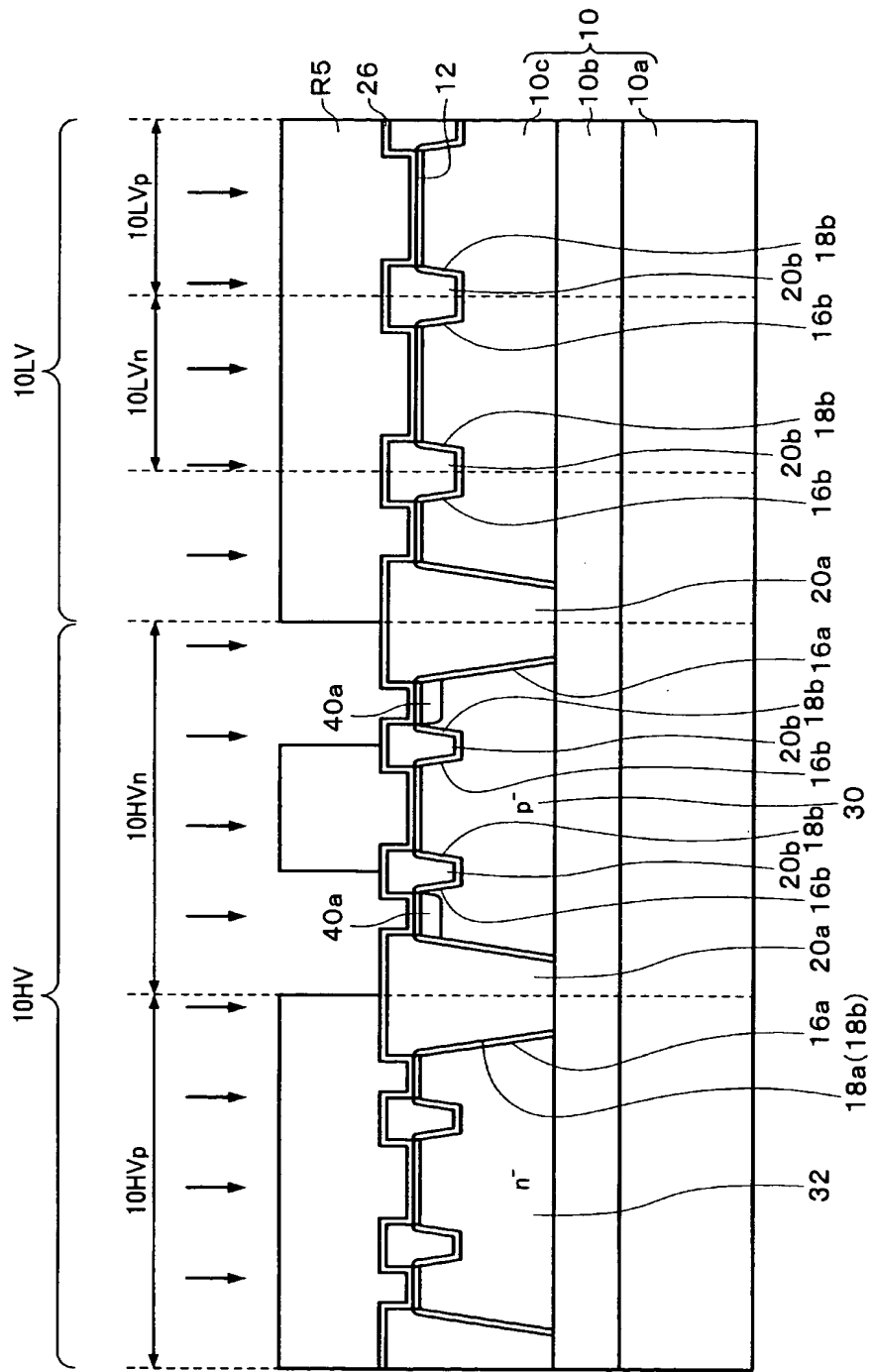
【図 10】







【図 12】





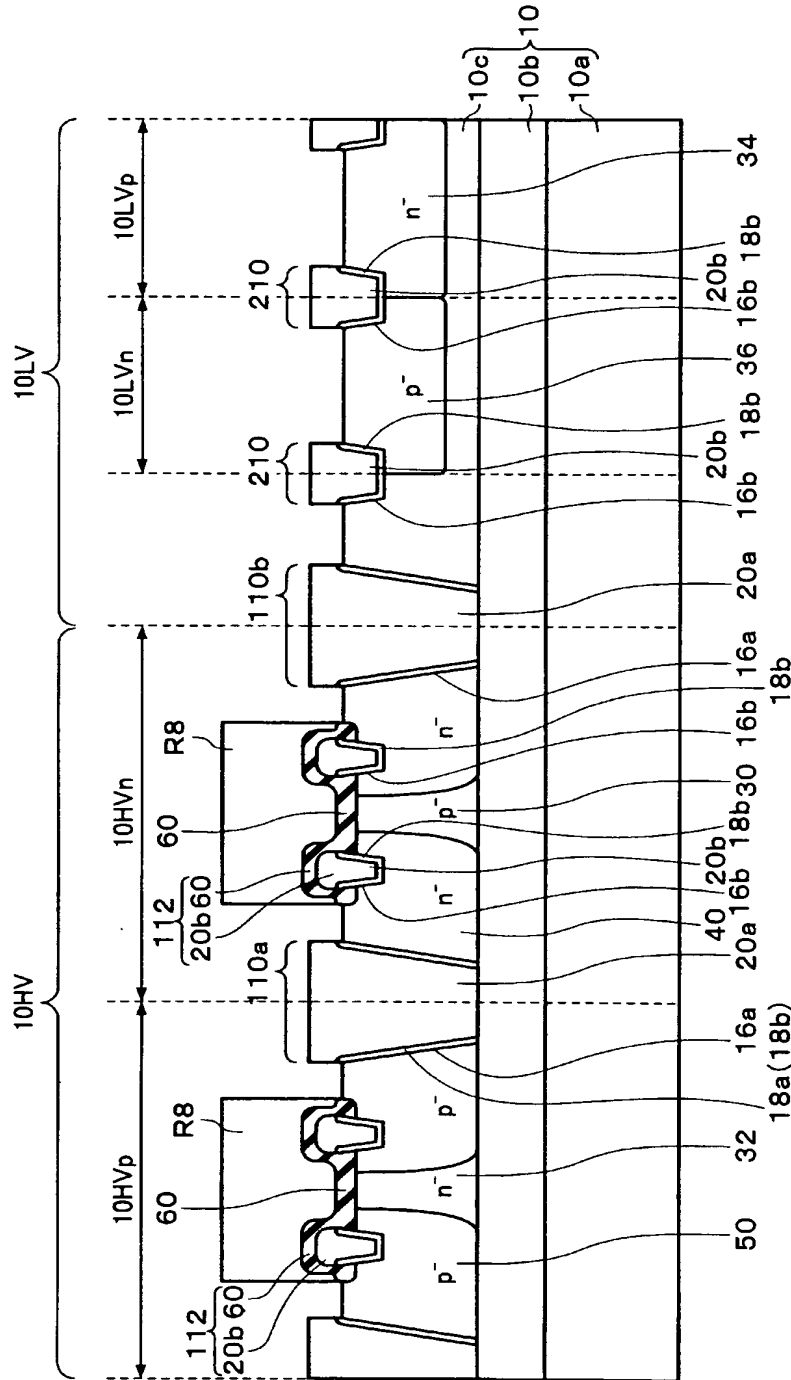






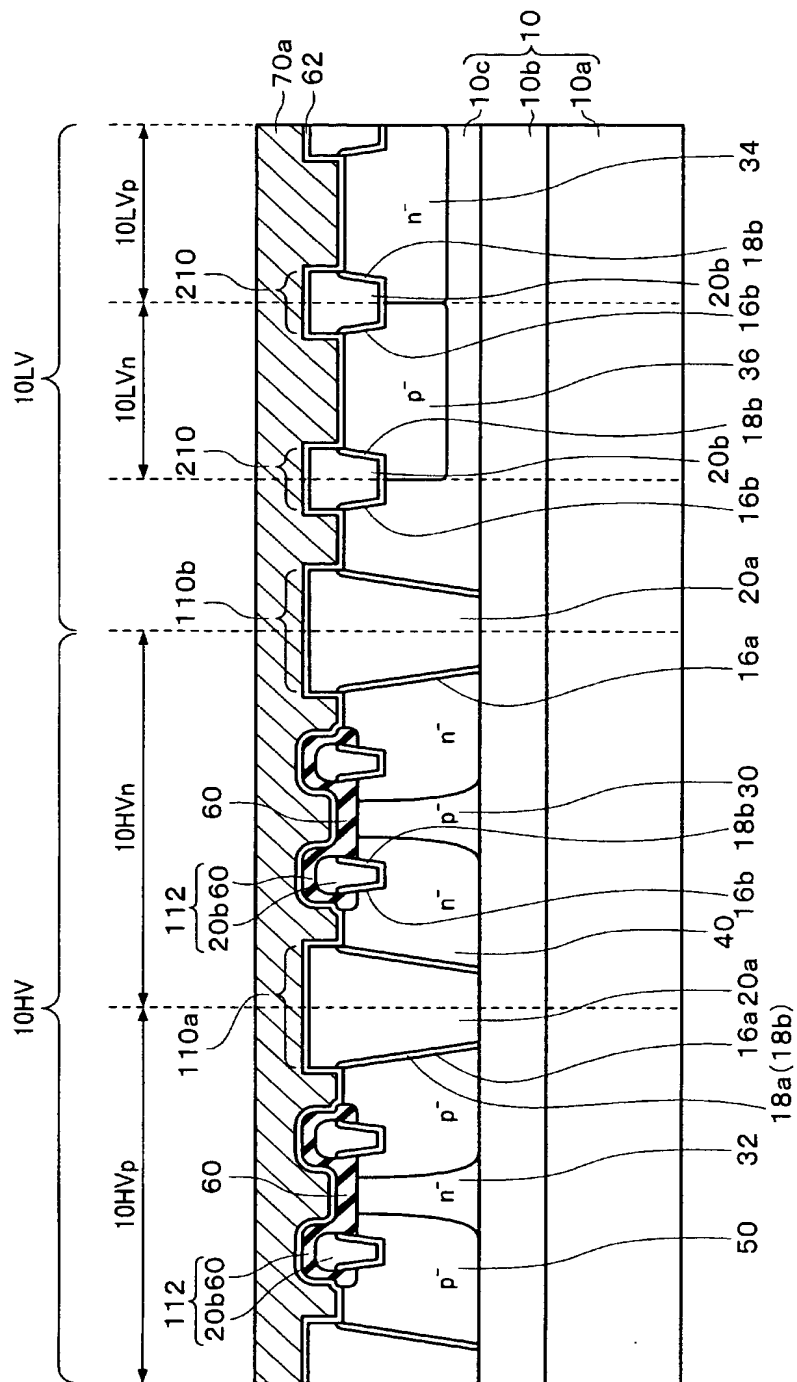


【図 18】

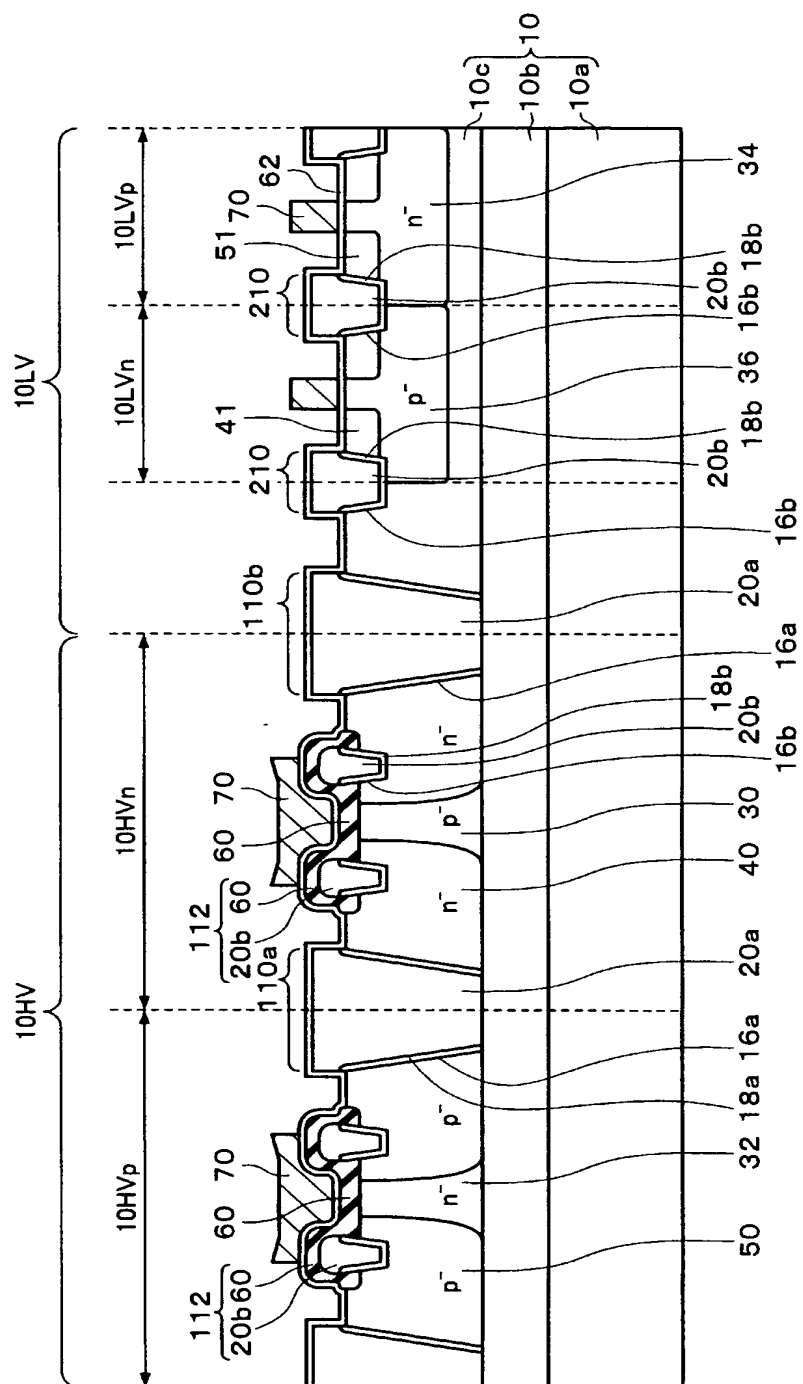




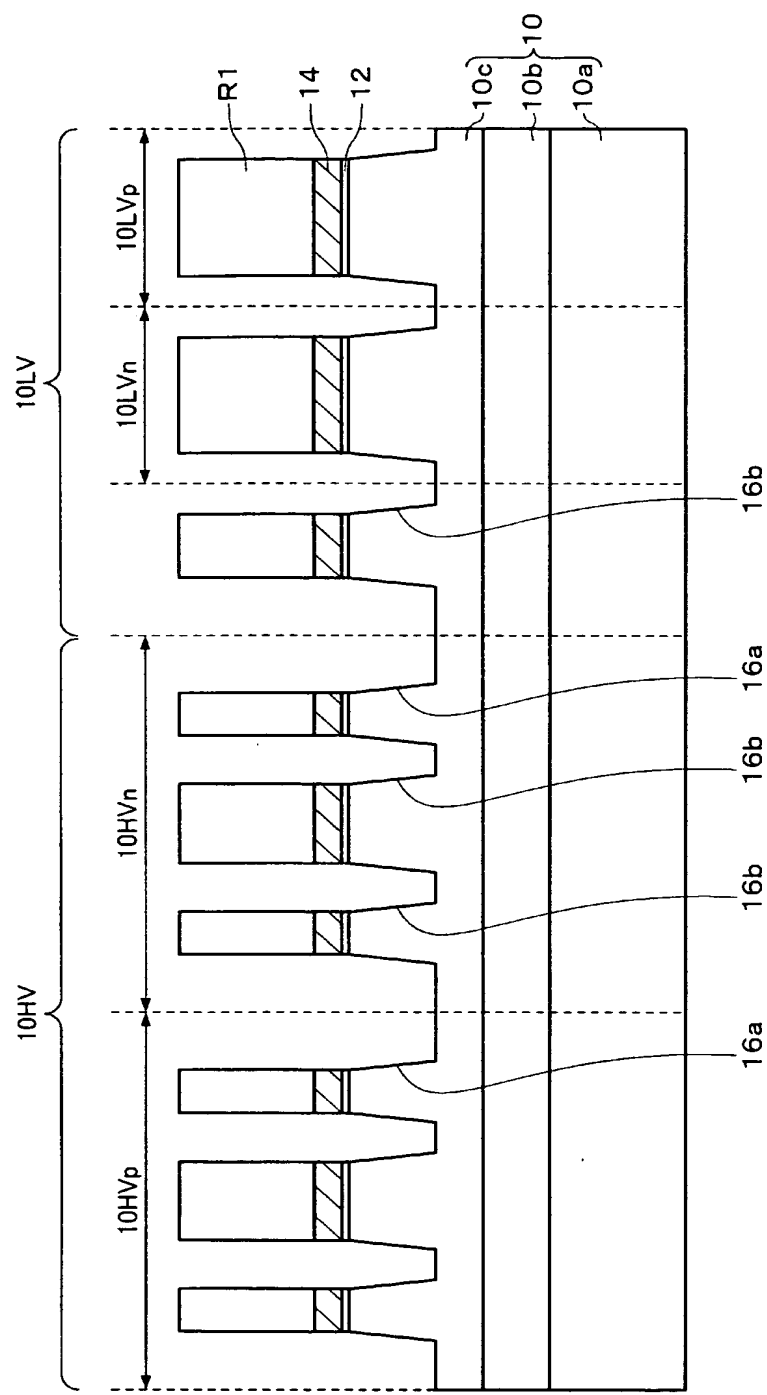
【図 19】



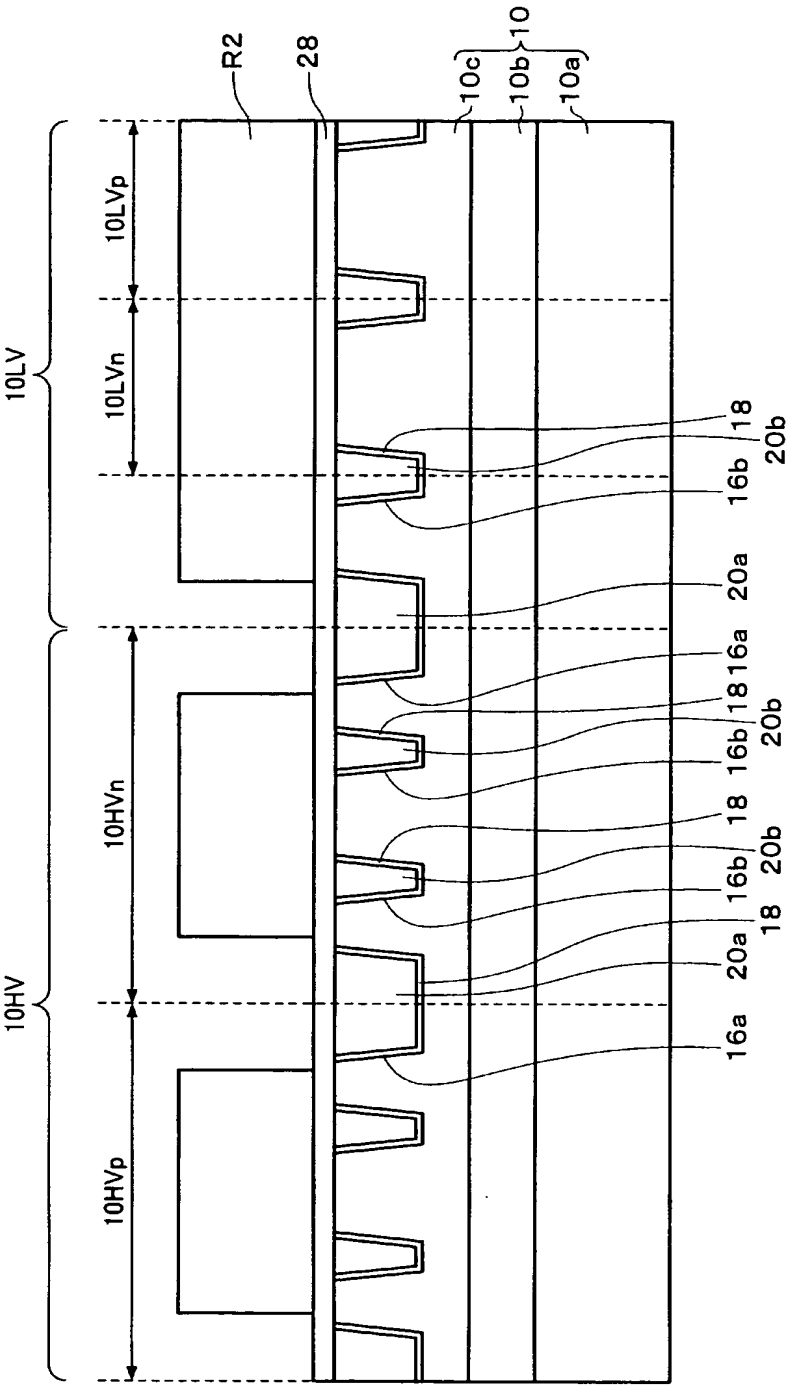
【図 20】



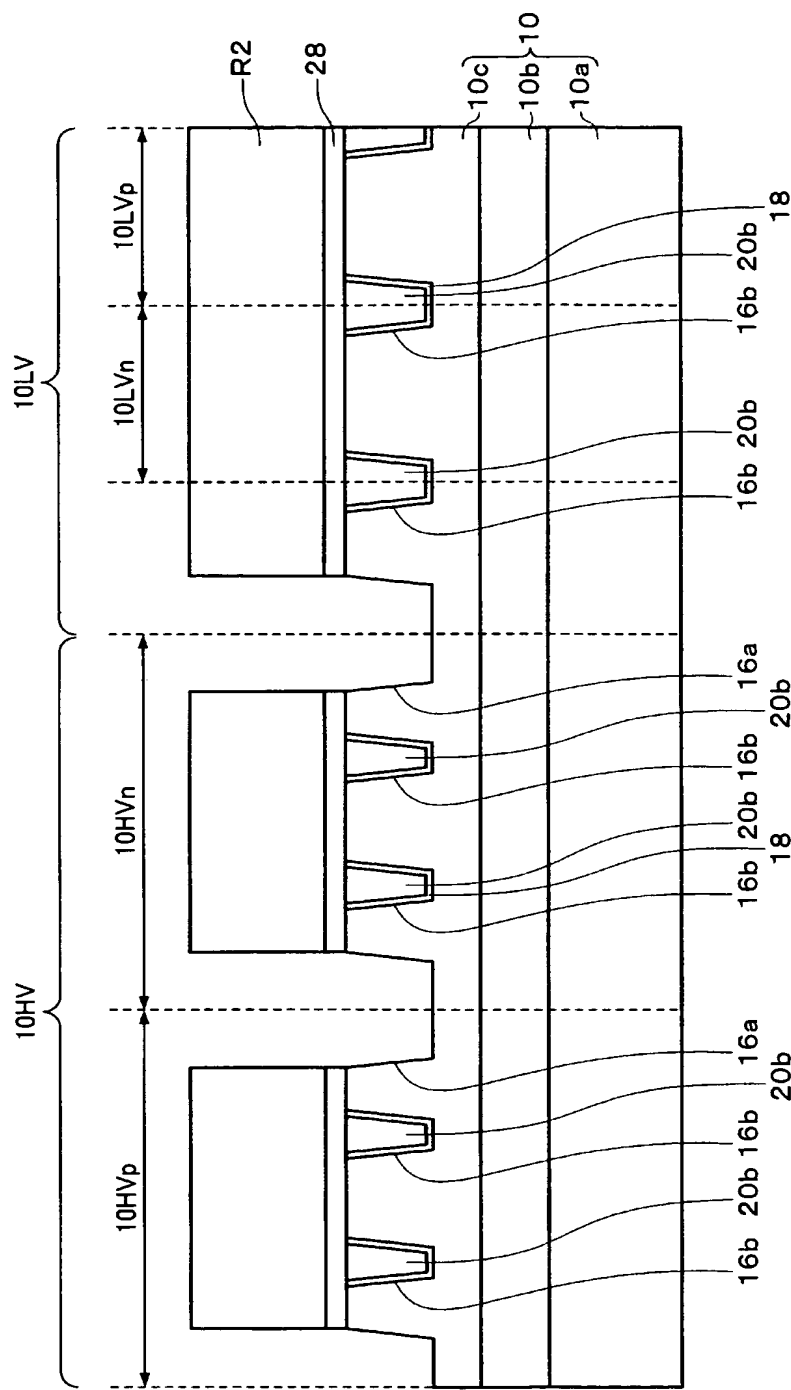
【図 21】



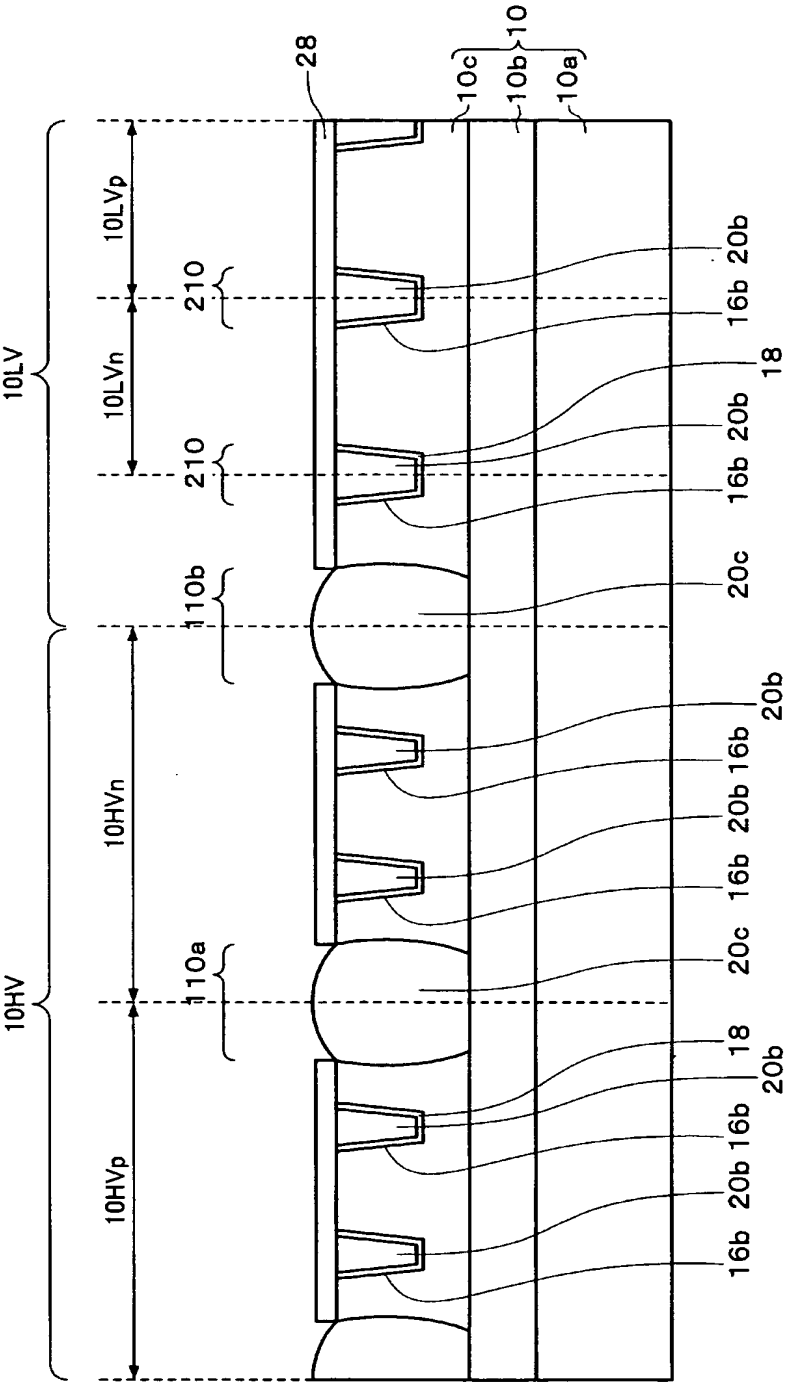
【図 22】



【図 23】

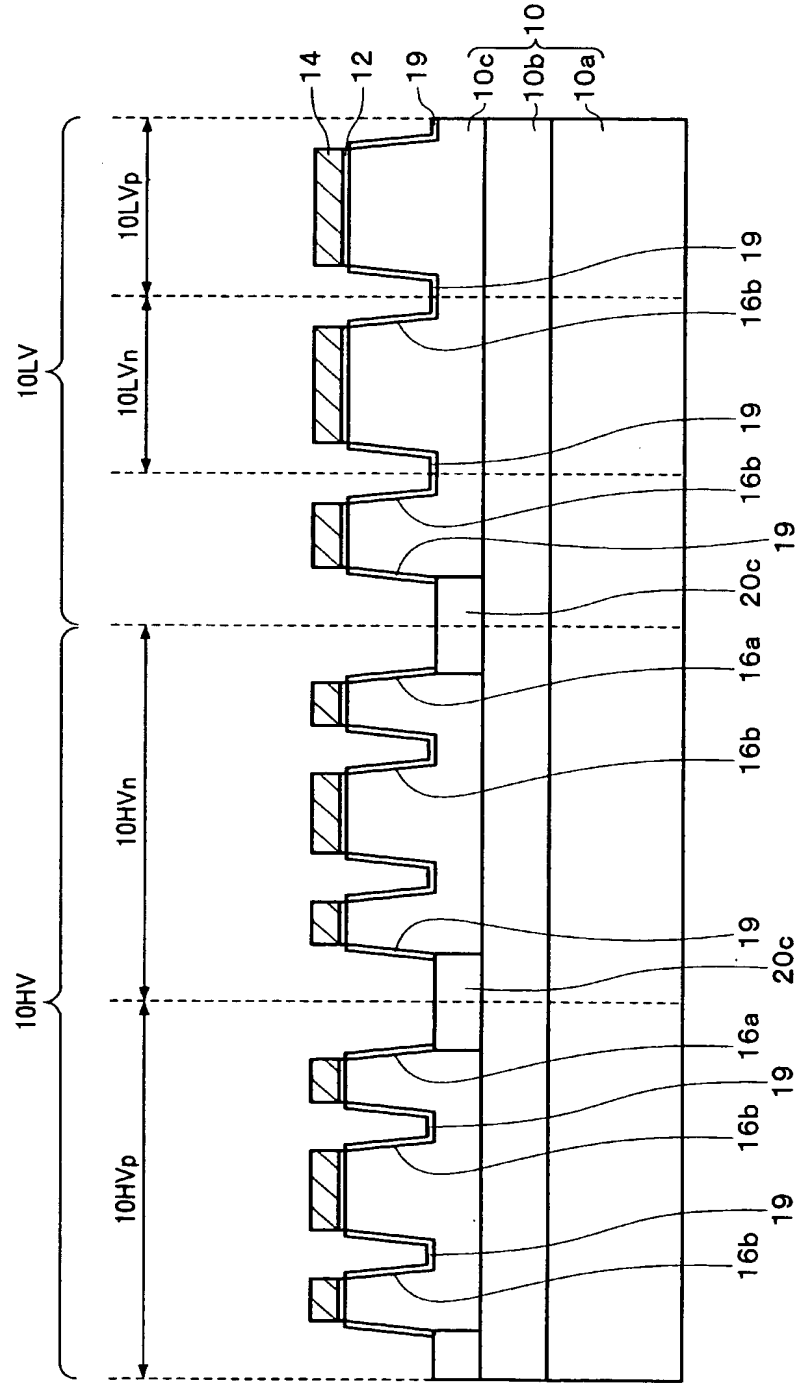


【図 24】



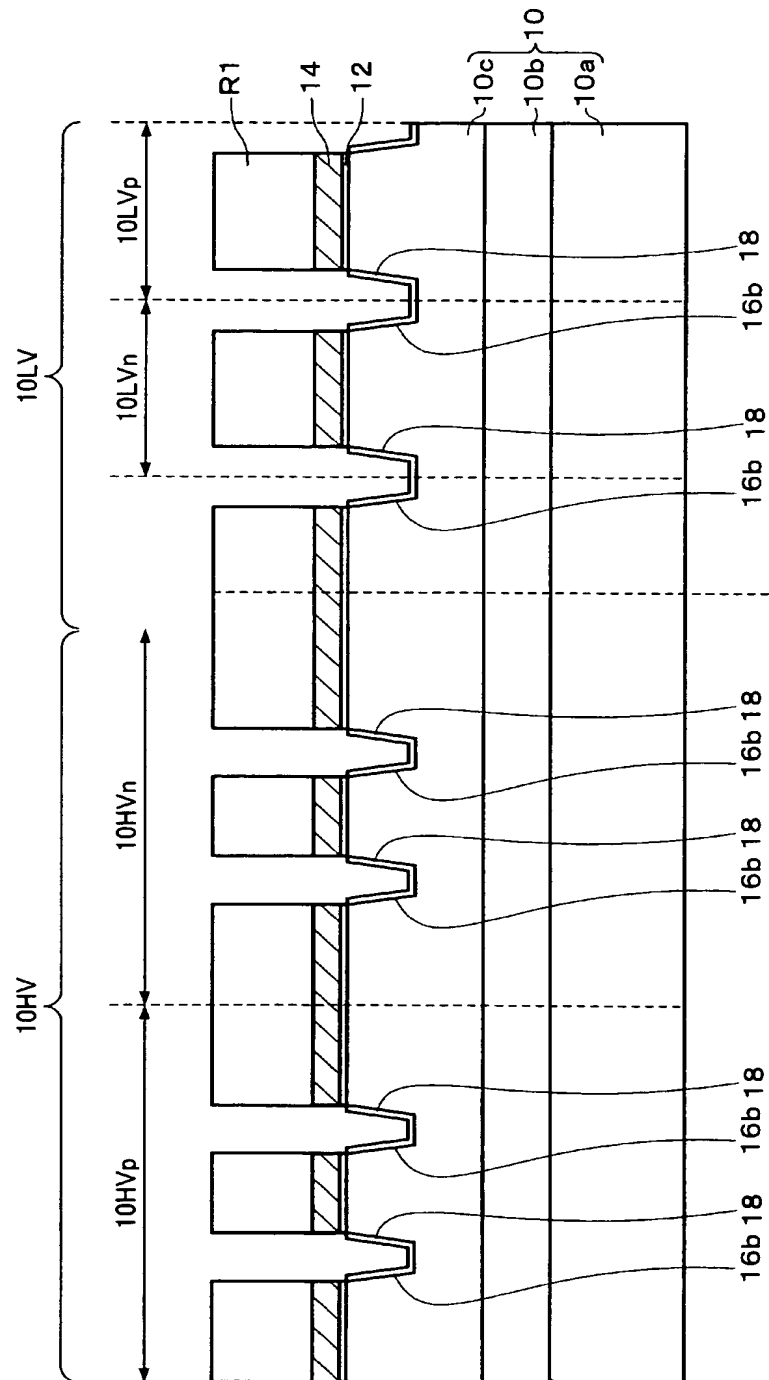


【図 26】

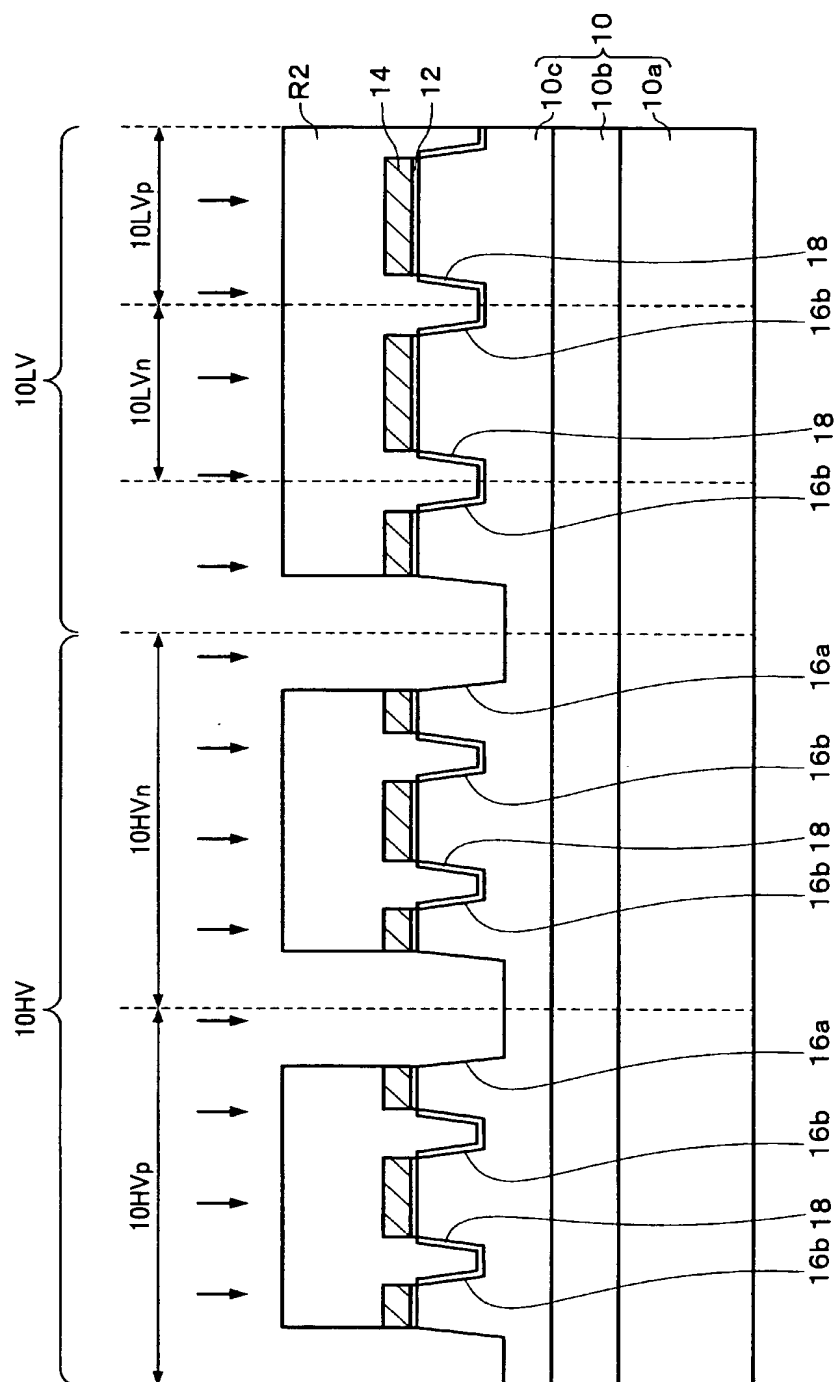




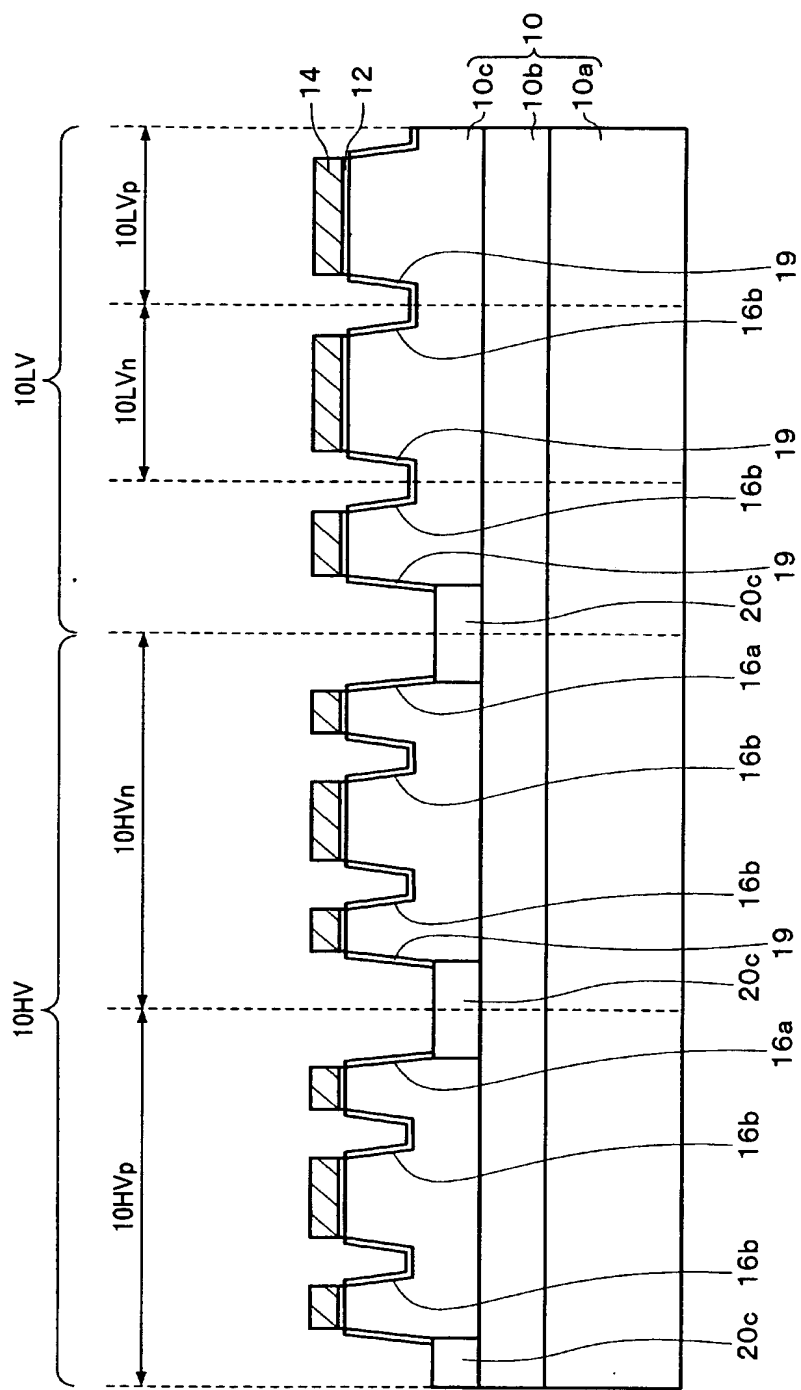
【図 27】



【図 28】



【図 29】



【書類名】 要約書

【要約】

【課題】 高耐圧トランジスタと、低耐圧トランジスタとを同一基板に備える半導体装置であって、特に高耐圧トランジスタ領域の面積の削減を図り、半導体装置の全体の微細化を実現できる半導体装置およびその製造方法を提供する。

【解決手段】 本発明の半導体装置は、支持基板 10a と、前記支持基板 10a 上に形成された絶縁層 10b と、前記絶縁層 10b 上に形成された第 1 半導体層 10c と、前記第 1 半導体層 10c 内に形成された第 1 高耐圧トランジスタ 100P と、前記絶縁層上に形成された第 2 半導体層と、前記第 2 半導体層内に形成された第 2 高耐圧トランジスタ 100N と、前記第 1 半導体層と前記第 2 半導体層との間に設けられた第 1 素子分離領域 110a であって、前記絶縁層 10b に到達する深さを有する第 1 素子分離領域 110a と、前記絶縁層 10b 上に形成された第 3 半導体層と、前記第 3 半導体層内に形成された第 1 低耐圧トランジスタ 200N と、前記第 3 半導体層内に形成された第 2 低耐圧トランジスタ 200P と、前記第 3 半導体層内に形成され、かつ、前記第 1 低耐圧トランジスタ 200N と前記第 2 低耐圧トランジスタ 200P との間に設けられた第 2 素子分離領域 210 であって、前記絶縁層 10b に到達しない深さを有する第 2 素子分離領域と、を含む。

【選択図】 図 1

特願 2003-051118

出願人履歴情報

識別番号

[000002369]

1. 変更年月日

1990年 8月20日

[変更理由]

新規登録

住 所

東京都新宿区西新宿2丁目4番1号

氏 名

セイコーエプソン株式会社